

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Masashi SHIMA**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **August 20, 2003**

For: **SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: August 20, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2002-240168, filed August 21, 2002**

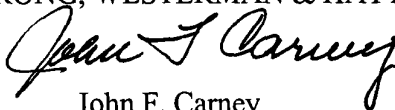
In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



John F. Carney  
Attorney for Applicant  
Reg. No. 20,276

JFC/jaz  
Atty. Docket No. **031027**  
Suite 1000  
1725 K Street, N.W.  
Washington, D.C. 20006  
(202) 659-2930



**23850**

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月21日

出 願 番 号

Application Number:

特願2002-240168

[ ST.10/C ]:

[ JP2002-240168 ]

出 願 人

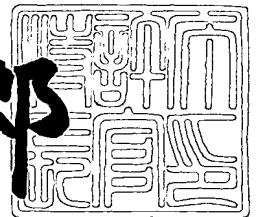
Applicant(s):

富士通株式会社

2003年 1月14日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2002-3105809

【書類名】 特許願

【整理番号】 0240573

【提出日】 平成14年 8月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 島 昌司

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087479

【弁理士】

【氏名又は名称】 北野 好人

【選任した代理人】

【識別番号】 100114915

【弁理士】

【氏名又は名称】 三村 治彦

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 シリコン基板と、

前記シリコン基板上に形成され、活性領域を画定する素子分離溝が表面に形成された S i G e 層と、

前記素子分離溝の側壁及び前記活性領域の前記 S i G e 層上に形成されたシリコン層と、

前記シリコン層が形成された前記素子分離溝に埋め込まれた素子分離絶縁膜とを有することを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、

前記活性領域に形成されたソース拡散層及びドレイン拡散層と、

前記ソース拡散層と前記ドレイン拡散層との間の前記シリコン層上に、ゲート絶縁膜を介して形成されたゲート電極とを更に有する

ことを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、

前記活性領域は、前記素子分離溝により、コレクタ形成領域と、ベースエミッタ形成領域とが分離されており、

前記コレクタ形成領域の前記 S i G e 層及び前記シリコン層に形成された第 1 の導電型のコレクタ領域と、

前記ベースエミッタ形成領域の前記シリコン層に形成された第 2 の導電型のベース領域と、

前記ベースエミッタ形成領域の前記シリコン層に形成された第 1 の導電型のエミッタ電極コンタクト領域とを更に有する

ことを特徴とする半導体装置。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置において

前記素子分離溝の側壁の前記シリコン層上に形成された絶縁膜を更に有する

ことを特徴とする半導体装置。

【請求項 5】 活性領域を画定する素子分離溝が表面に形成されたシリコン基板と、

前記シリコン基板の前記素子分離溝の側壁及び前記活性領域に形成された SiGe 層と、

前記 SiGe 層上に形成されたシリコン層と、

前記シリコン層が形成された前記素子分離溝に埋め込まれた素子分離絶縁膜とを有することを特徴とする半導体装置。

【請求項 6】 請求項 5 記載の半導体装置において、

前記活性領域に形成されたソース拡散層及びドレイン拡散層と、

前記ソース拡散層と前記ドレイン拡散層との間の前記シリコン層上に、ゲート絶縁膜を介して形成されたゲート電極とを更に有することを特徴とする半導体装置。

【請求項 7】 請求項 5 記載の半導体装置において、

前記活性領域は、前記素子分離溝により、コレクタ形成領域と、ベースエミッタ形成領域とが分離されており、

前記コレクタ形成領域の前記 SiGe 層及び前記シリコン層に形成された第 1 の導電型のコレクタ領域と、

前記ベースエミッタ形成領域の前記 SiGe 層及び前記シリコン層に形成された第 2 の導電型のベース領域と、

前記ベースエミッタ形成領域の前記シリコン層に形成された第 1 の導電型のエミッタ電極コンタクト領域とを更に有する

ことを特徴とする半導体装置。

【請求項 8】 請求項 5 乃至 7 のいずれか 1 項に記載の半導体装置において

前記素子分離溝の側壁の前記シリコン層上に形成された絶縁膜を更に有することを特徴とする半導体装置。

【請求項 9】 シリコン基板上に、SiGe 層を形成する工程と、

前記 SiGe 層に、活性領域を画定する素子分離溝を形成する工程と、

前記素子分離溝の側壁及び前記活性領域の前記第 SiGe 層上に、シリコン層

を形成する工程と、

前記シリコン層が形成された前記素子分離溝に、素子分離絶縁膜を埋め込む工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 1 0】 シリコン基板に、活性領域を画定する素子分離溝を形成する工程と、

前記シリコン基板の前記素子分離溝の側壁及び活性領域に、S i G e 層を形成する工程と、

前記S i G e 層上に、シリコン層を形成する工程と、

前記シリコン層が形成された前記素子分離溝に、素子分離絶縁膜を埋め込む工程と

を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体層に圧縮或いは引っ張り歪みを導入したトランジスタ構造を有する半導体装置及びその製造方法に関する。

【0 0 0 2】

【従来の技術】

近年、情報処理やデータ通信の高速化、低消費電力化のために、トランジスタ等の電子デバイスに対して、低リーク電流で高速動作できることが求められている。

【0 0 0 3】

トランジスタを高速化する方法の一つとして、異なる材料を組み合わせで積層することによりチャネルとなる半導体層に圧縮或いは引っ張り歪みを導入する方法が知られている。図 2 2 及び図 2 3 はチャネルとなる半導体層に圧縮或いは引っ張り歪みを導入することにより高速化を図った従来のトランジスタの構造を示す断面図である。

【0 0 0 4】

図 2 2 は、引っ張り歪みが導入された S i チャンネル層を有する M O S トランジスタの構造を示す断面図である。

【 0 0 0 5 】

p 型 S i 基板 2 0 0 上に、S i G e バッファ層 2 0 2 と、歪み S i チャンネル層 2 0 4 とが積層されている。S i G e バッファ層 2 0 2 及び歪み S i チャンネル層 2 0 4 には、素子分離領域 2 0 6 となる素子分離溝 2 0 8 が形成されており、この素子分離溝 2 0 8 により、素子が形成される活性領域 2 1 0 が画定されている。

【 0 0 0 6 】

素子分離溝 2 0 8 には、シリコン酸化膜からなる素子分離絶縁膜 2 1 2 が埋め込まれている。

【 0 0 0 7 】

活性領域 2 1 0 の歪み S i チャンネル層 2 0 4 及び S i G e バッファ層 2 0 2 には、ソース／ドレイン拡散層 2 1 4 a、2 1 4 b が形成されている。ソース／ドレイン拡散層 2 1 4 a、2 1 4 b 間の歪み S i チャンネル層 2 0 4 上には、シリコン酸化膜からなるゲート絶縁膜 2 1 6 を介してゲート電極 2 1 8 が形成されている。ソース／ドレイン拡散層 2 1 4 a、2 1 4 b には、ソース／ドレイン電極 2 2 0 a、2 2 0 b が接続されている。こうして、活性領域 2 1 0 に、ゲート電極 2 1 8 と、ソース／ドレイン拡散層 2 1 4 a、2 1 4 b とを有するトランジスタが構成されている。

【 0 0 0 8 】

また、図 2 3 は、圧縮歪みが加えられた S i G e チャンネル層を有する M O S トランジスタの構造を示す断面図である。

【 0 0 0 9 】

p 型 S i 基板 2 2 2 に、S i バッファ層 2 2 4 と、歪み S i G e チャンネル層 2 2 6 と、S i キャップ層 2 2 8 とが積層されている。

【 0 0 1 0 】

S i バッファ層 2 2 4、歪み S i G e チャンネル層 2 2 6、及び S i キャップ層 2 2 8 には、素子分離領域 2 3 0 となる素子分離溝 2 3 2 が形成されており、



この素子分離溝 2 3 2 により、素子が形成される活性領域 2 3 4 が画定されている。

#### 【 0 0 1 1 】

素子分離溝 2 3 2 には、シリコン酸化膜からなる素子分離絶縁膜 2 3 6 が埋め込まれている。

#### 【 0 0 1 2 】

活性領域 2 3 4 の S i キャップ層 2 2 8 及び歪み S i G e チャンネル層 5 4 には、ソース／ドレイン拡散層 2 3 8 a、2 3 8 b が形成されている。ソース／ドレイン拡散層 2 3 8 a、2 3 8 b 間の S i キャップ層 2 2 8 上には、シリコン酸化膜からなるゲート絶縁膜 2 4 0 を介してゲート電極 2 4 2 が形成されている。ソース／ドレイン拡散層 2 3 8 a、2 3 8 b には、ソース／ドレイン電極 2 4 4 a、2 4 4 b が接続されている。こうして、活性領域 2 3 4 において、ゲート電極 2 4 2 と、ソース／ドレイン拡散層 2 3 8 a、2 3 8 b とを有するトランジスタが構成されている。

#### 【 0 0 1 3 】

##### 【発明が解決しようとする課題】

上述した図 2 2 及び図 2 3 に示す構造により、移動度やドライブ電流が向上することが報告されている。しかしながら、図 2 2 及び図 2 3 に示す構造では、S T I (Shallow Trench Isolation) 法により素子分離が行われているが、シリコン酸化膜からなる素子分離絶縁膜と活性領域の S i G e 層とが、素子分離領域 2 0 6、2 3 0 の端部において接することとなる。この結果、図 2 4 の上面図に示すように、素子分離領域 2 0 6、2 3 0 の端部に沿ってリーク電流のパスが形成される。このため、トランジスタのオフ電流が増大し、デバイスの消費電力が増大してしまうという難点があった。

#### 【 0 0 1 4 】

素子分離溝に埋め込まれたシリコン酸化膜からなる素子分離絶縁膜と S i G e 層との接触に起因するリーク電流の発生を抑制する方法としては、例えば図 2 5 に示すように、素子分離溝の側壁にポリ S i のサイドウォールを形成する方法が提案されている。すなわち、活性領域 2 3 4 端部に露出した歪み S i G e チャンネ

ル層 2 2 6 を覆うように、素子分離溝 2 3 2 の側壁にポリ S i のサイドウォール 2 4 6 を形成する。このサイドウォール 2 3 6 により、歪み S i G e チャンネル層 2 2 6 と素子分離絶縁膜 2 3 6 との接触を防止することができる。しかしながら、この方法では、サイドウォール 2 4 6 を形成する際に、活性領域 2 3 4 がドライエッチングに曝されてしまう。

#### 【 0 0 1 5 】

本発明の目的は、半導体層に圧縮或いは引っ張り歪みが加えられたトランジスタ構造において、活性領域端部におけるリーク電流パスの形成を抑制し、低消費電力で高速動作する半導体装置及びその製造方法を提供することにある。

#### 【 0 0 1 6 】

##### 【課題を解決するための手段】

上記目的は、シリコン基板と、前記シリコン基板上に形成され、活性領域を画定する素子分離溝が表面に形成された S i G e 層と、前記素子分離溝の側壁及び前記活性領域の前記 S i G e 層上に形成されたシリコン層と、前記シリコン層が形成された前記素子分離溝に埋め込まれた素子分離絶縁膜とを有することを特徴とする半導体装置により達成される。

#### 【 0 0 1 7 】

また、上記目的は、活性領域を画定する素子分離溝が表面に形成されたシリコン基板と、前記シリコン基板の前記素子分離溝の側壁及び前記活性領域に形成された S i G e 層と、前記 S i G e 層上に形成されたシリコン層と、前記シリコン層が形成された前記素子分離溝に埋め込まれた素子分離絶縁膜とを有することを特徴とする半導体装置により達成される。

#### 【 0 0 1 8 】

また、上記目的は、シリコン基板上に、S i G e 層を形成する工程と、前記 S i G e 層に、活性領域を画定する素子分離溝を形成する工程と、前記素子分離溝の側壁及び前記活性領域の前記第 S i G e 層上に、シリコン層を形成する工程と、前記シリコン層が形成された前記素子分離溝に、素子分離絶縁膜を埋め込む工程とを有することを特徴とする半導体装置の製造方法により達成される。

#### 【 0 0 1 9 】

また、上記目的は、シリコン基板に、活性領域を画定する素子分離溝を形成する工程と、前記シリコン基板の前記素子分離溝の側壁及び活性領域に、SiGe層を形成する工程と、前記SiGe層上に、シリコン層を形成する工程と、前記シリコン層が形成された前記素子分離溝に、素子分離絶縁膜を埋め込む工程とを有することを特徴とする半導体装置の製造方法により達成される。

#### 【0020】

##### 【発明の実施の形態】

##### 〔第1実施形態〕

本発明の第1実施形態による半導体装置及びその製造方法について図1乃至図4を用いて説明する。図1は本実施形態による半導体装置の構造を示す断面図、図2乃至図4は本実施形態による半導体装置の製造方法を示す工程断面図である。

#### 【0021】

まず、本実施形態による半導体装置について図1を用いて説明する。本実施形態による半導体装置は、引っ張り歪みが導入されたn型の歪みSiチャネル層を有するp型MOSトランジスタである。

#### 【0022】

ボロンがドーブされたp型Si基板10上に、SiGeバッファ層12が形成されている。SiGeバッファ層12には、素子分離領域14となる素子分離溝16が形成されており、この素子分離溝16により、素子が形成される活性領域18が画定されている。ここで、SiGeの組成は、例えばSi80%、Ge20%となっている。

#### 【0023】

素子分離溝16が形成されたSiGeバッファ層12上には、SiGe再成長バッファ層20と、n型の歪みSiチャネル層22とが順次積層されている。

#### 【0024】

素子分離溝16の側壁及び底面に形成された歪みSiチャネル層22上には、SiN膜24が形成されている。SiN膜24が形成された素子分離溝16には

、シリコン酸化膜からなる素子分離絶縁膜 2 6 が埋め込まれている。

【 0 0 2 5 】

活性領域 1 8 の歪み S i チャンネル層 2 2 及び S i G e 再成長バッファ層 2 0 には、ソース／ドレイン拡散層 2 8 a、2 8 b が形成されている。ソース／ドレイン拡散層 2 8 a、2 8 b 間の歪み S i チャンネル層 2 2 上には、シリコン酸化膜からなるゲート絶縁膜 3 0 を介してゲート電極 3 2 が形成されている。ソース／ドレイン拡散層 2 8 a、2 8 b には、ソース／ドレイン電極 3 4 a、3 4 b が接続されている。こうして、活性領域 1 8 において、ゲート電極 3 2 と、ソース／ドレイン拡散層 2 8 a、2 8 b とを有するトランジスタが構成されている。

【 0 0 2 6 】

本実施形態による半導体装置は、チャンネルとなる半導体層に歪みが加えられたトランジスタ構造の活性領域 1 8 端部において、S i G e 層と素子分離絶縁膜との間に介在する歪み S i チャンネル層 2 2 及び S i N 膜 2 4 を有することに主たる特徴がある。この歪み S i チャンネル層 2 2 及び S i N 膜 2 4 により、S i G e 層とシリコン酸化膜からなる素子分離絶縁膜 2 6 との接触が防止されるので、活性領域 1 8 端部にリーク電流のパスが形成されるのを抑制することができる。これにより、低消費電力で高速動作が可能な M O S トランジスタを提供することができる。

【 0 0 2 7 】

次に、本実施形態による半導体装置の製造方法について図 2 乃至図 4 を用いて説明する。本実施形態による半導体装置の製造方法では、S T I 法により素子分離が行われる。

【 0 0 2 8 】

まず、 $1 \times 10^{16} / \text{cm}^3$  程度のボロンがドーピングされた p 型 S i 基板 1 0 上に、例えば M O C V D 法により、厚さ  $2 \mu \text{m}$  の S i G e バッファ層 1 2 と、厚さ  $5 \text{nm}$  の S i キャップ層 3 5 とを順次積層する。ここで形成する S i キャップ層 3 5 は、次工程の熱酸化処理により、マスク膜として用いる S i N 膜を形成する際の下地となるシリコン酸化膜となるものである。

【 0 0 2 9 】

次いで、SiGeバッファ層12とSiキャップ層とを形成したp型Si基板10表面を例えば熱酸化法により酸化する。これにより、Siキャップ層35表面には、シリコン酸化膜36が形成される。埋め込み酸化膜とSiとの接触よりも、熱酸化膜とSiとの接触の方が緻密であるため、この熱酸化により界面の準位を少なくすることができる。このとき、SiGeバッファ層12上のSiキャップ層35により、SiGeバッファ層12は直接酸化されない。これにより、後の工程において歪みSiチャネル層22を形成する際に、Siキャップ層を形成しない場合に比して結晶モフォロジーが良好になっており、成長する歪みSiチャネル層22の結晶の質が向上し、移動度を向上することができる。

## 【0030】

次いで、酸化によりSiキャップ層35表面に形成されたシリコン酸化膜36上に、例えばCVD (Chemical Vapor Deposition) 法により、厚さ100nmのSiN膜37を形成する(図2(a)を参照)。

## 【0031】

次いで、リソグラフィー及びエッチング技術を用いてSiN膜37をパターニングし、活性領域18となる領域にSiN膜37を残存させる。

## 【0032】

次いで、例えばRIE (Reactive Ion Etching) 法により、パターニングされたSiN膜37をマスクとして、SiGeバッファ層12をエッチングして素子分離溝16を形成する(図2(b)を参照)。

## 【0033】

素子分離溝16を形成した後、マスクとして用いたSiN膜37をエッチングにより除去する。次いで、シリコン酸化膜36を弗酸などにより除去する。なお、Siキャップ層35は残存していてもよい。図2(c)以降においては、Siキャップ層35を省略している。

## 【0034】

次いで、例えばMOCVD法により、素子分離溝16が形成されたSiGeバッファ層12の全面に、厚さ10nmのSiGe再成長バッファ層20と、厚さ10nmのn型の歪みSiチャネル層22とを順次積層する(図2(c)を

参照)。

【 0 0 3 5 】

次いで、歪み S i チャンネル層 2 2 を熱酸化処理し、歪み S i チャンネル層 2 2 表面に熱酸化膜を形成する。この熱酸化膜により、次工程で形成する S i N 膜の密着性を向上することができる。なお、歪み S i チャンネル層 2 2 のすべてが熱酸化膜の形成に消費されないように、予め形成する歪み S i チャンネル層 2 2 の膜厚や、熱酸化処理の条件等を考慮する必要がある。

【 0 0 3 6 】

次いで、例えば M O C V D 法により、全面に、研磨の際のストッパ膜として用いる S i N 膜 2 4 を形成する。

【 0 0 3 7 】

次いで、例えば C V D 法により、全面に、シリコン酸化膜 3 8 を形成し、素子分離溝 1 6 をシリコン酸化膜 3 8 で埋め込む (図 3 ( a ) を参照)。

【 0 0 3 8 】

次いで、例えば C M P (Chemical Mechanical Polishing) 法により、シリコン酸化膜 3 8 を、ストッパ膜の S i N 膜 2 4 まで研磨して平坦化する。こうして、シリコン酸化膜 3 8 からなる素子分離絶縁膜 2 6 により素子分離溝 1 6 が埋め込まれる。

【 0 0 3 9 】

次いで、露出した S i N 膜 2 4 を、例えば熱リン酸処理により除去する (図 3 ( b ) を参照)。なお、このとき、活性領域 1 8 端部の歪み S i チャンネル層 2 2 と素子分離絶縁膜 1 6 との間に形成された S i N 膜 2 4 は、熱リン酸が滲入しないため除去されることはない。

【 0 0 4 0 】

次いで、例えば熱酸化処理により、全面に、厚さ 2 n m のシリコン酸化膜からなるゲート絶縁膜 3 0 を形成する。

【 0 0 4 1 】

次いで、例えば C V D 法により、ポリシリコン膜を形成する。次いで、ポリシリコン膜をパターニングすることにより、活性領域 1 8 にゲート電極 3 2 を形成

する（図 3（c）を参照）。

【 0 0 4 2 】

次いで、ゲート電極 3 2 をマスクとして、例えばボロンをイオン注入し、ゲート電極 3 2 両側の歪み Si チャンネル層 2 2 内に、寄生領域 4 0 を形成する（図 4（a）を参照）。

【 0 0 4 3 】

次いで、例えば C V D 法により全面にシリコン酸化膜を形成した後、形成したシリコン酸化膜をエッチングすることにより、ゲート電極 3 2 にサイドウォール 4 2 を形成する。

【 0 0 4 4 】

次いで、ソース／ドレイン、及びゲートに高濃度不純物領域を形成するために、例えばボロンをイオン注入する（図 4（b）を参照）。イオン注入終了後、イオンを活性化するためのアニーリングを行う。こうして、ソース／ドレイン拡散層 2 8 a、2 8 b が形成される。

【 0 0 4 5 】

次いで、ソース／ドレイン拡散層 2 8 a、2 8 b に電氣的に接続するソース／ドレイン電極 3 4 a、3 4 b を形成する（図 4（c）を参照）。

【 0 0 4 6 】

こうして、図 1 に示す本実施形態による半導体装置が製造される。

【 0 0 4 7 】

このように、本実施形態によれば、歪み Si チャンネル層 2 2 及び Si N 膜 2 4 により、活性領域 1 8 の Si G e 層とシリコン酸化膜からなる素子分離絶縁膜 2 6 との接触が防止されるので、活性領域 1 8 端部にリーク電流のパスが形成されるのを抑制することができる。これにより、低消費電力で高速動作が可能な M O S トランジスタを提供することができる。

【 0 0 4 8 】

また、従来の M O S トランジスタに比べても、露光工程等の製造工程数を増加することなく製造することができる。

【 0 0 4 9 】

## 〔第 2 実施形態〕

本発明の第 2 実施形態による半導体装置及びその製造方法について図 5 及び 6 を用いて説明する。図 5 は本実施形態による半導体装置の構造を示す断面図、図 6 は本実施形態による半導体装置の製造方法を示す工程断面図である。なお、第 1 実施形態による半導体装置及びその製造方法と同一の構成要素については同一の符号を付し説明を省略し或いは簡略にする。

## 【0050】

第 1 実施形態では、SiN 膜 24 を活性領域 18 における SiGe 層と素子分離絶縁膜との間に介在させたが、SiN 膜 24 を必ずしも形成する必要はない。本実施形態による半導体装置は、第 1 実施形態による半導体装置において SiN 膜 24 を形成しないものである。

## 【0051】

図 5 に示すように、本実施形態による半導体装置では、側壁及び底面に歪み Si チャンネル層 22 が形成された素子分離溝 16 に、素子分離絶縁膜 26 が直接埋め込まれている。

## 【0052】

このように、第 1 実施形態における SiN 膜 24 が形成されていない場合であっても、歪み Si チャンネル層 22 により、活性領域 18 の SiGe 層と素子分離絶縁膜との接触を防止することができる。これにより、活性領域 18 端部におけるリーク電流パスの形成を抑制することができる。

## 【0053】

次に、本実施形態による半導体装置の製造方法について図 6 を用いて説明する。

## 【0054】

まず、第 1 実施形態による場合と同様にして、素子分離溝 16 が形成された SiGe バッファ層 12 の全面に、SiGe 再成長バッファ層 20 と、歪み Si チャンネル層 22 とを順次積層する（図 6（a）を参照）。

## 【0055】

次いで、例えば CVD 法により、全面に、シリコン酸化膜 38 を形成し、素子



分離溝 1 6 をシリコン酸化膜 3 8 で埋め込む（図 6（b）を参照）。

【0 0 5 6】

次いで、例えばCMP法により、シリコン酸化膜 3 8 を、素子分離溝 1 6 により画定された活性領域 1 8 における歪み Si チャンネル層 2 2 が露出するまで研磨して平坦化する。こうして、シリコン酸化膜 3 8 からなる素子分離絶縁膜 2 6 により素子分離溝 1 6 が埋め込まれる（図 6（c）を参照）。

【0 0 5 7】

以後、第 1 実施形態による場合と同様にして、ゲート電極 3 2、ソース／ドレイン拡散層 2 8 a、2 8 b 等を形成する。

【0 0 5 8】

こうして、図 5 に示す本実施形態による半導体装置が製造される。

【0 0 5 9】

[第 3 実施形態]

本発明の第 3 実施形態による半導体装置及びその製造方法について図 7 乃至図 1 0 を用いて説明する。図 7 は本実施形態による半導体装置の構造を示す断面図、図 8 乃至図 1 0 は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0 0 6 0】

まず、本実施形態による半導体装置について図 7 を用いて説明する。本実施形態による半導体装置は、圧縮歪みが導入された n 型の歪み Si Ge チャンネル層を有する p 型 MOS トランジスタである。

【0 0 6 1】

ボロンがドーピングされた p 型 Si 基板 4 4 に、素子分離領域 4 6 となる素子分離溝 4 8 が形成されており、この素子分離溝 4 8 により、素子が形成される活性領域 5 0 が画定されている。

【0 0 6 2】

素子分離溝 4 8 が形成された p 型 Si 基板 4 4 上には、Si 再成長バッファ層 5 2 と、歪み Si Ge チャンネル層 5 4 と、Si キャップ層 5 6 とが順次積層されている。

## 【 0 0 6 3 】

素子分離溝 4 8 の側壁及び底面に形成された S i キャップ層 5 6 上には、S i N 膜 5 8 が形成されている。S i N 膜 5 8 が形成された素子分離溝 4 8 には、シリコン酸化膜からなる素子分離絶縁膜 6 0 が埋め込まれている。

## 【 0 0 6 4 】

活性領域 5 0 の S i キャップ層 5 6 及び歪み S i G e チャンネル層 5 4 には、ソース／ドレイン拡散層 6 2 a、6 2 b が形成されている。ソース／ドレイン拡散層 6 2 a、6 2 b 間の S i キャップ層 5 6 上には、シリコン酸化膜からなるゲート絶縁膜 6 4 を介してゲート電極 6 6 が形成されている。ソース／ドレイン拡散層 6 2 a、6 2 b には、ソース／ドレイン電極 6 8 a、6 8 b が接続されている。こうして、活性領域 5 0 において、ゲート電極 6 6 と、ソース／ドレイン拡散層 6 2 a、6 2 b とを有するトランジスタが構成されている。

## 【 0 0 6 5 】

本実施形態による半導体装置は、チャンネルとなる半導体層に歪みが加えられたトランジスタ構造の活性領域 5 0 端部において、S i G e 層と素子分離絶縁膜との間に介在する S i キャップ層 5 6 及び S i N 膜 5 8 を有することに主たる特徴がある。この S i キャップ層 5 6 及び S i N 膜 5 8 により、S i G e 層とシリコン酸化膜からなる素子分離絶縁膜 6 0 との接触が防止されるので、活性領域 5 0 端部にリーク電流のパスが形成されるのを抑制することができる。これにより、低消費電力で高速動作が可能な M O S トランジスタを提供することができる。

## 【 0 0 6 6 】

次に、本実施形態による半導体装置の製造方法について図 8 乃至図 1 0 を用いて説明する。

## 【 0 0 6 7 】

まず、 $1 \times 10^{16} / \text{cm}^3$  程度のボロンがドーピングされた p 型 S i 基板 4 4 表面を酸化する。

## 【 0 0 6 8 】

次いで、表面が酸化された p 型 S i 基板 4 4 上に、例えば C V D 法により、厚さ 1 0 0 n m の S i N 膜 7 0 を形成する（図 8（a））。

【 0 0 6 9 】

次いで、リソグラフィー及びエッチング技術を用いて S i N 膜 7 0 をパターンニングし、活性領域 5 0 となる領域に S i N 膜 7 0 を残存させる。

【 0 0 7 0 】

次いで、例えば R I E 法により、パターンニングされた S i N 膜 7 0 をマスクとして、p 型 S i 基板 4 4 をエッチングして素子分離溝 4 8 を形成する（図 8（b）を参照）。

【 0 0 7 1 】

素子分離溝 4 8 を形成した後、マスクとして用いた S i N 膜 7 0 をエッチングにより除去する。

【 0 0 7 2 】

次いで、例えば M O C V D 法により、素子分離溝 4 8 が形成された p 型 S i 基板 4 4 の全面に、厚さ 1 0 n m の S i 再成長バッファ層 5 2 と、厚さ 1 0 n m の n 型の歪み S i G e チャンネル層 5 4 と、厚さ 1 0 n m の S i キャップ層 5 6 とを順次積層する（図 8（c）を参照）。

【 0 0 7 3 】

次いで、例えば M O C V D 法により、全面に、研磨の際のストッパ膜として用いる S i N 膜 5 8 を形成する。なお、S i N 膜 5 8 を形成する前に、第 1 実施形態による場合と同様に、S i キャップ層 5 6 を熱酸化することにより、S i キャップ層 5 6 表面に熱酸化膜を形成し、S i N 膜 5 8 の密着性を向上してもよい。

【 0 0 7 4 】

次いで、例えば C V D 法により、全面に、シリコン酸化膜 7 2 を形成し、素子分離溝 4 8 をシリコン酸化膜 7 2 で埋め込む（図 9（a）を参照）。

【 0 0 7 5 】

次いで、例えば C M P 法により、シリコン酸化膜 7 2 を、ストッパ膜の S i N 膜 5 8 まで研磨して平坦化する。こうして、シリコン酸化膜 7 2 からなる素子分離絶縁膜 6 0 により素子分離溝 4 8 が埋め込まれる。

【 0 0 7 6 】

次いで、露出した S i N 膜 5 8 を、例えば熱リン酸処理により除去する（図 9

(b) を参照)。なお、このとき、活性領域 5 0 端部の S i キャップ層 5 6 と素子分離絶縁膜 6 0 との間に形成された S i N 膜 5 8 は、第 1 実施形態による場合と同様に、熱リン酸が滲入しないため除去されることはない。

## 【 0 0 7 7 】

次いで、例えば熱酸化処理により、全面に、厚さ 2 n m のシリコン酸化膜からなるゲート絶縁膜 6 4 を形成する。

## 【 0 0 7 8 】

次いで、例えば C V D 法により、ポリシリコン膜を形成する。次いで、ポリシリコン膜をパターニングすることにより、ゲート電極 6 6 を形成する (図 9 (c) を参照)。

## 【 0 0 7 9 】

次いで、ゲート電極 6 6 をマスクとして、例えばボロンをイオン注入し、ゲート電極 6 6 両側の歪み S i チャンネル層 2 2 内に、寄生領域 7 4 を形成する (図 1 0 (a) を参照)。

## 【 0 0 8 0 】

次いで、例えば C V D 法により全面にシリコン酸化膜を形成した後、形成したシリコン酸化膜をエッチングすることにより、ゲート電極 6 6 にサイドウォール 7 6 を形成する。

## 【 0 0 8 1 】

次いで、ソース／ドレイン、及びゲートに高濃度不純物領域を形成するために、例えばボロンをイオン注入する (図 1 0 (b) を参照)。イオン注入終了後、イオンを活性化するためのアニーリングを行う。こうして、ソース／ドレイン拡散層 6 2 a、6 2 b が形成される。

## 【 0 0 8 2 】

次いで、ソース／ドレイン拡散層 6 2 a、6 2 b に電氣的に接続するソース／ドレイン電極 6 8 a、6 8 b を形成する (図 1 0 (c) を参照)。

## 【 0 0 8 3 】

こうして、図 7 に示す本実施形態による半導体装置が製造される。

## 【 0 0 8 4 】

このように、本実施形態によれば、S i キャップ層 5 6 及び S i N 膜 5 8 により、活性領域 5 0 の S i G e 層とシリコン酸化膜からなる素子分離絶縁膜 6 0 との接触が防止されるので、活性領域 5 0 端部にリーク電流のパスが形成されるのを抑制することができる。これにより、低消費電力で高速動作が可能な M O S トランジスタを提供することができる。

## 【 0 0 8 5 】

また、第 1 実施形態による場合と同様に、従来の M O S トランジスタに比べても、露光工程等の製造工程数を増加することなく製造することができる。

## 【 0 0 8 6 】

## 〔第 4 実施形態〕

本発明の第 4 実施形態による半導体装置及びその製造方法について図 1 1 及び図 1 2 を用いて説明する。図 1 1 は本実施形態による半導体装置の構造を示す断面図、図 1 2 は本実施形態による半導体装置の製造方法を示す工程断面図である。なお、第 3 実施形態による半導体装置及びその製造方法と同一の構成要素については同一の符号を付し説明を省略し或いは簡略にする。

## 【 0 0 8 7 】

第 3 実施形態では、S i N 膜 5 8 を活性領域 5 0 における S i G e 層と素子分離絶縁膜との間に介在させたが、第 1 実施形態における S i N 膜 2 4 と同様に、S i N 膜 5 8 を必ずしも形成する必要はない。本実施形態による半導体装置は、第 3 実施形態による半導体装置において S i N 膜 5 8 を形成しないものである。

## 【 0 0 8 8 】

図 1 1 に示すように、本実施形態による半導体装置では、側壁及び底面に S i キャップ層 5 6 が形成された素子分離溝 4 8 に、素子分離絶縁膜 6 0 が直接埋め込まれている。

## 【 0 0 8 9 】

このように、第 3 実施形態における S i N 膜 5 8 が形成されていない場合であっても、S i キャップ層 5 6 により、活性領域 5 0 の S i G e 層と素子分離絶縁膜 6 0 との接触を防止することができる。これにより、活性領域 5 0 端部におけるリーク電流パスの形成を抑制することができる。

【0090】

次に、本実施形態による半導体装置の製造方法について図12を用いて説明する。

【0091】

まず、第3実施形態による場合と同様にして、素子分離溝48が形成されたp型Si基板44の全面に、Si再成長バッファ層52と、歪みSiGeチャネル層54と、Siキャップ層56とを順次積層する(図12(a)を参照)。

【0092】

次いで、例えばCVD法により、全面に、シリコン酸化膜72を形成し、素子分離溝48をシリコン酸化膜72で埋め込む(図12(c)を参照)。

【0093】

次いで、例えばCMP法により、シリコン酸化膜72を、素子分離溝48により画定された活性領域50におけるSiキャップ層56が露出するまで研磨して平坦化する。こうして、シリコン酸化膜72からなる素子分離絶縁膜60により素子分離溝48が埋め込まれる。

【0094】

以後、第3実施形態による場合と同様にして、ゲート電極66、ソース/ドレイン拡散層62a、62b等を形成する。

【0095】

こうして、図11に示す本実施形態による半導体装置が製造される。

【0096】

[第5実施形態]

本発明の第5実施形態による半導体装置及びその製造方法について図13乃至図16を用いて説明する。図13は本実施形態による半導体装置の構造を示す断面図、図14乃至図15は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0097】

まず、本実施形態による半導体装置について図13を用いて説明する。本実施形態による半導体装置は、圧縮歪みが導入されたp型歪みSiGe層を有するn

p n型バイポーラトランジスタである。

【 0 0 9 8 】

p型Si基板に形成されたn型領域78に、素子分離領域80となる素子分離溝82が形成され、エミッタベース形成領域84と、コレクタ形成領域86とが画定されている。

【 0 0 9 9 】

素子分離溝82が形成されたn型領域78の全面には、Si再成長バッファ層88と、p型歪みSiGeチャネル層90と、ノンドープのSiエミッタ層92とが積層されている。

【 0 1 0 0 】

素子分離溝82の側壁及び底面に形成されたSiエミッタ層92上には、SiN膜94が形成されている。SiN膜94が形成された素子分離溝82には、シリコン酸化膜からなる素子分離絶縁膜96が埋め込まれている。

【 0 1 0 1 】

コレクタ形成領域86におけるp型Si基板のn型領域78、Si再成長バッファ層88、p型歪みSiGeチャネル層90、及びSiエミッタ層92には、リンがイオン注入されてなるコレクタ電極コンタクト領域98が形成されている。コレクタ電極コンタクト領域98上には、コレクタ電極100が形成されている。

【 0 1 0 2 】

エミッタベース形成領域84におけるSiエミッタ層92には、リンがイオン注入されてなるエミッタ電極コンタクト領域102が形成されている。エミッタ電極コンタクト領域102上には、エミッタ電極104が形成されている。

【 0 1 0 3 】

また、エミッタベース形成領域84におけるp型歪みSiGeチャネル層90及びSiエミッタ層92には、ボロンがイオン注入されてなるベース電極コンタクト領域106が形成されている。ベース電極コンタクト領域106上には、ベース電極108が形成されている。

【 0 1 0 4 】

本実施形態による半導体装置は、半導体層に歪みが導入されたバイポーラトランジスタ構造のエミッタベース形成領域 8 4 及びコレクタ形成領域 8 6 端部において、SiGe 層と素子分離絶縁膜との間に介在する Si エミッタ層 9 2 及び SiN 膜 9 4 を有することに主たる特徴がある。この Si エミッタ層 9 2 及び SiN 膜 9 4 により、SiGe 層とシリコン酸化膜からなる素子分離絶縁膜 9 6 との接触が防止されるので、エミッタベース形成領域 8 4 及びコレクタ形成領域 8 6 端部にリーク電流のパスが形成されるのを抑制することができる。これにより、低消費電力で高速動作が可能なバイポーラトランジスタを提供することができる。

## 【 0 1 0 5 】

次に、本実施形態による半導体装置の製造方法について図 1 4 乃至図 1 6 を用いて説明する。

## 【 0 1 0 6 】

まず、 $1 \times 10^{16} / \text{cm}^3$  程度のボロンがドーブされた p 型 Si 基板に、レジストマスクを介してリンをイオン注入することにより、n 型領域 7 8 を形成する。

## 【 0 1 0 7 】

次いで、p 型 Si 基板の n 型領域 7 8 上に、例えば CVD 法により、厚さ 100 nm の SiN 膜 1 1 0 を形成する（図 1 4 (a) を参照）。

## 【 0 1 0 8 】

次いで、リソグラフィー及びエッチング技術を用いて SiN 膜 1 1 0 をパターニングし、エミッタベース形成領域 8 4 及びコレクタ形成領域 8 6 となる領域に SiN 膜 1 1 0 を残存させる。

## 【 0 1 0 9 】

次いで、例えば RIE 法により、パターニングされた SiN 膜 1 1 0 をマスクとして、p 型 Si 基板の n 型領域 7 8 をエッチングして素子分離溝 8 2 を形成する（図 1 4 (b) を参照）。

## 【 0 1 1 0 】

素子分離溝 8 2 を形成した後、マスクとして用いた SiN 膜 1 1 0 をエッチン



グにより除去する。

【0 1 1 1】

次いで、例えばMOCVD法により、素子分離溝82が形成されたp型Si基板のn型領域78の全面に、厚さ10nmのSi再成長バッファ層88と、厚さ20nmの歪みSiGeチャネル層90と、厚さ20nmのノンドープのSiエミッタ層92とを順次積層する（図14（c）を参照）。

【0 1 1 2】

次いで、例えばMOCVD法により、全面に、研磨の際のストッパ膜として用いるSiN膜94を形成する。

【0 1 1 3】

次いで、例えばCVD法により、全面に、シリコン酸化膜112を形成し、素子分離溝82をシリコン酸化膜112で埋め込む（図15（a）を参照）。

【0 1 1 4】

次いで、例えばCMP法により、シリコン酸化膜112を、ストッパ膜のSiN膜94まで研磨して平坦化する。こうして、シリコン酸化膜112からなる素子分離絶縁膜96により素子分離溝82が埋め込まれる。

【0 1 1 5】

次いで、露出したSiN膜94を、例えば熱リン酸処理により除去する（図15（b）を参照）。なお、このとき、エミッタベース形成領域84及びコレクタ形成領域86端部のSiエミッタ層92と素子分離絶縁膜96との間に形成されたSiN膜94は、第1実施形態による場合と同様に、熱リン酸が滲入しないため除去されることはない。

【0 1 1 6】

次いで、全面にレジスト膜114を形成する。次いで、レジスト膜114を、コレクタ形成領域86を露出する形状にパターニングする。

【0 1 1 7】

次いで、パターニングされたレジスト膜114を介してリンをイオン注入することにより、コレクタ電極コンタクト領域98を形成する（図15（c）を参照）。

【 0 1 1 8 】

コレクタ電極コンタクト領域 9 8 を形成した後、マスクとして用いたレジスト膜 1 1 4 を除去する。

【 0 1 1 9 】

次いで、全面にレジスト膜 1 1 6 を形成する。次いで、レジスト膜 1 1 6 を、エミッタベース形成領域 8 4 のうち、ベース電極コンタクト領域 1 0 6 を形成する領域を露出する形状にパターニングする。

【 0 1 2 0 】

次いで、パターニングされたレジスト膜 1 1 6 を介してボロンをイオン注入することにより、ベース電極コンタクト領域 1 0 6 を形成する（図 1 6 （a）を参照）。

【 0 1 2 1 】

ベース電極コンタクト領域 1 0 6 を形成した後、マスクとして用いたレジスト膜 1 1 6 を除去する。

【 0 1 2 2 】

次いで、全面にレジスト膜 1 1 8 を形成する。次いで、レジスト膜 1 1 8 を、エミッタベース形成領域 8 4 のうち、エミッタ電極コンタクト領域 1 0 2 を形成する領域を露出する形状にパターニングする。

【 0 1 2 3 】

次いで、パターニングされたレジスト膜 1 1 8 を介してリンをイオン注入することにより、エミッタ電極コンタクト領域 1 0 2 を形成する（図 1 6 （b）を参照）。

【 0 1 2 4 】

エミッタ電極コンタクト領域 1 0 2 を形成した後、マスクとして用いたレジスト膜 1 1 8 を除去する。

【 0 1 2 5 】

次いで、アニーリングを行うことにより、上述のイオン注入を行った領域を活性化する。

【 0 1 2 6 】

次いで、全面に金属膜を形成する。形成した金属膜を、リソグラフィー及びエッチング技術によりパターニングし、コレクタ電極コンタクト領域 9 8、エミッタ電極コンタクト領域 1 0 2、及びベース電極コンタクト領域 1 0 6 にそれぞれ接続するコレクタ電極 1 0 0、エミッタ電極 1 0 4、及びベース電極 1 0 8 を形成する（図 1 6（c）を参照）。

## 【 0 1 2 7 】

こうして、図 1 3 に示す本実施形態による半導体装置が製造される。

## 【 0 1 2 8 】

このように、本実施形態によれば、S i エミッタ層 9 2 及び S i N 膜 9 4 により、エミッタベース形成領域 8 4 及びコレクタ形成領域 8 6 の S i G e 層とシリコン酸化膜からなる素子分離絶縁膜 9 6 との接触が防止されるので、エミッタベース形成領域 8 4 及びコレクタ形成領域 8 6 端部にリーク電流のパスが形成されるのを抑制することができる。これにより、低消費電力で高速動作が可能なバイポーラトランジスタを提供することができる。

## 【 0 1 2 9 】

また、従来のバイポーラトランジスタに比べても、露光工程等の製造工程数を増加することなく製造することができる。

## 【 0 1 3 0 】

なお、本実施形態では、歪み S i G e チャンネル層を有するバイポーラトランジスタについて説明したが、第 1 実施形態による場合のように、歪み S i チャンネル層を有するバイポーラトランジスタについても本発明を適用することができる。

## 【 0 1 3 1 】

また、本実施形態による半導体装置についても、第 1 実施形態による半導体装置に対する第 2 実施形態及び第 3 実施形態による半導体装置に対する第 4 実施形態による場合と同様に、S i N 膜 9 4 を必ずしも形成する必要はない。

## 【 0 1 3 2 】

図 1 7 は、本実施形態による半導体装置において S i N 膜 9 4 を形成しない場合の構造を示す断面図である。図示するように、側壁及び底面に S i エミッタ層 9 2 が形成された素子分離溝 8 2 に、素子分離絶縁膜 9 6 が直接埋め込まれている

## 【 0 1 3 3 】

このように、SiN膜94が形成されていない場合であっても、Siエミッタ層92により、エミッタベース形成領域84及びコレクタ形成領域86のSiGe層と素子分離絶縁膜96との接触を防止することができる。これにより、エミッタベース形成領域84及びコレクタ形成領域86端部におけるリーク電流パスの形成を抑制することができる。

## 【 0 1 3 4 】

## 〔第6実施形態〕

本発明の第6実施形態による半導体装置及びその製造方法について図18乃至図21を用いて説明する。図18は本実施形態による半導体装置の構造を示す断面図、図19乃至図21は本実施形態による半導体装置の製造方法を示す工程断面図である。

## 【 0 1 3 5 】

まず、本実施形態による半導体装置について図18を用いて説明する。本実施形態による半導体装置は、圧縮歪みが導入された歪みSiGeチャネル層を有するHEMT (High Electron Mobility Transistor) である。

## 【 0 1 3 6 】

ボロンがドーパされた数百 $\Omega \cdot \text{cm}$ 程度の高抵抗n型Si基板120に、素子分離領域122となる素子分離溝124が形成されており、この素子分離溝124により、素子が形成される活性領域126が画定されている。

## 【 0 1 3 7 】

素子分離溝124が形成されたn型Si基板120上には、Si再成長バッファ層128と、ノンドープの歪みSiGeチャネル層130と、歪みSiGeチャネル層130にキャリアとなる正孔を供給するp型のSi正孔供給層132とが順次積層されている。

## 【 0 1 3 8 】

素子分離溝124の側壁及び底面に形成されたSi正孔供給層132上には、SiN膜134が形成されている。SiN膜134が形成された素子分離溝12

4 には、シリコン酸化膜からなる素子分離絶縁膜 1 3 6 が埋め込まれている。

【 0 1 3 9 】

活性領域 1 2 6 の S i 正孔供給層 1 3 2 及び歪み S i G e チャンネル層 1 3 0 には、ソース／ドレイン拡散層 1 3 8 a、1 3 8 b が形成されている。ソース／ドレイン拡散層 1 3 8 a、1 3 8 b 間の S i 正孔供給層 1 3 2 上には、ゲート電極 1 4 0 が形成されている。ソース／ドレイン拡散層 1 3 8 a、1 3 8 b には、ソース／ドレイン電極 1 4 2 a、1 4 2 b が接続されている。こうして、活性領域 1 2 6 において、ゲート電極 1 4 0 と、ソース／ドレイン拡散層 1 3 8 a、1 3 8 b とを有するトランジスタが構成されている。

【 0 1 4 0 】

本実施形態による半導体装置は、チャンネルとなる半導体層に歪みが加えられたトランジスタ構造の活性領域 1 2 6 端部において、S i G e 層と素子分離絶縁膜との間に介在する S i 正孔供給層 1 3 2 及び S i N 膜 1 3 4 を有することに主たる特徴がある。この S i 正孔供給層 1 3 2 及び S i N 膜 1 3 4 により、S i G e 層とシリコン酸化膜からなる素子分離絶縁膜 1 3 6 との接触が防止されるので、活性領域 1 2 6 端部にリーク電流のパスが形成されるのを抑制することができる。これにより、低消費電力で高速動作が可能な H E M T を提供することができる。

【 0 1 4 1 】

次に、本実施形態による半導体装置の製造方法について図 1 9 乃至図 2 1 を用いて説明する。

【 0 1 4 2 】

まず、第 3 実施形態による場合と同様にして、n 型 S i 基板 1 2 0 上に形成した S i N 膜 1 4 4 をパターニングし、パターニングした S i N 膜 1 4 4 をマスクとするエッチングにより、n 型 S i 基板 1 2 0 に素子分離溝 1 2 4 を形成する（図 1 9 （a）を参照）。

【 0 1 4 3 】

素子分離溝 1 2 4 を形成した後、マスクとして用いた S i N 膜 1 4 4 をエッチングにより除去する。

## 【 0 1 4 4 】

次いで、例えばMOCVD法により、素子分離溝124が形成されたn型Si基板120の全面に、厚さ10nmのSi再成長バッファ層128と、厚さ10nmのノンドープの歪みSiGeチャネル層130と、ボロン等のp型ドーパントがドーピングされた厚さ20nmのSi正孔供給層132とを順次積層する（図19（b）を参照）。

## 【 0 1 4 5 】

次いで、例えばMOCVD法により、全面に、研磨の際のストッパ膜として用いるSiN膜134を形成する。

## 【 0 1 4 6 】

次いで、例えばCVD法により、全面に、シリコン酸化膜146を形成し、素子分離溝124をシリコン酸化膜146で埋め込む（図19（c）を参照）。

## 【 0 1 4 7 】

次いで、例えばCMP法により、シリコン酸化膜146を、ストッパ膜のSiN膜134まで研磨して平坦化する。こうして、シリコン酸化膜146からなる素子分離絶縁膜136により素子分離溝124が埋め込まれる。

次いで、露出したSiN膜134を、例えば熱リン酸処理により除去する（図20（a）を参照）。なお、このとき、活性領域126端部のSi正孔供給層132と素子分離絶縁膜136との間に形成されたSiN膜134は、第1実施形態による場合と同様に、熱リン酸が滲入しないため除去されることはない。

## 【 0 1 4 8 】

次いで、例えばCVD法により、活性領域126のSi正孔供給層132上に金属膜を形成する。次いで、金属膜をパターニングすることにより、ゲート電極140を形成する（図20（b）を参照）。

## 【 0 1 4 9 】

次いで、ゲート電極140をマスクとしてリンをイオン注入し、ゲート電極140両側のSi正孔供給層132内に、ソース／ドレイン拡散層138a、138bを形成する（図20（c）を参照）。

【 0 1 5 0 】

次いで、ソース／ドレイン拡散層 6 2 a、6 2 b に電氣的に接続するソース／ドレイン電極 1 4 2 a、1 4 2 b を形成する。

【 0 1 5 1 】

こうして、図 1 8 に示す本実施形態による半導体装置が製造される。

【 0 1 5 2 】

このように、本実施形態によれば、S i 正孔供給層 1 3 2 及び S i N 膜 1 3 4 により、S i G e 層とシリコン酸化膜からなる素子分離絶縁膜 1 3 6 との接触が防止されるので、活性領域 1 2 6 端部にリーク電流のパスが形成されるのを抑制することができる。これにより、低消費電力で高速動作が可能な H E M T を提供することができる。

【 0 1 5 3 】

また、従来の H E M T に比べても、露光工程等の製造工程数を増加することなく製造することができる。

【 0 1 5 4 】

なお、本実施形態による半導体装置についても、第 1 実施形態による半導体装置に対する第 2 実施形態及び第 3 実施形態による半導体装置に対する第 4 実施形態による場合と同様に、S i N 膜 1 3 4 を必ずしも形成する必要はない。

【 0 1 5 5 】

図 2 1 は、本実施形態による半導体装置において S i N 膜 1 3 4 を形成しない場合の構造を示す断面図である。図示するように、側壁及び底面に S i 正孔供給層 1 3 2 が形成された素子分離溝 1 2 4 に、素子分離絶縁膜 1 3 6 が直接埋め込まれている。

【 0 1 5 6 】

このように、S i N 膜 1 3 4 が形成されていない場合であっても、S i 正孔供給層 1 3 2 により活性領域 1 2 6 の S i G e 層と素子分離絶縁膜 1 3 6 との接触を防止することができる。これにより、活性領域 1 2 6 端部におけるリーク電流パスの形成を抑制することができる。

【 0 1 5 7 】

## [変形実施形態]

本発明の上記実施形態に限らず種々の変形が可能である。

## 【0158】

例えば、上記実施形態では、p型MOSトランジスタ、npn型バイポーラトランジスタ等について説明したが、上記実施形態において説明した導電型と逆の導電型のn型MOSトランジスタ、pnp型バイポーラトランジスタ等についても、本発明を適用することができる。

## 【0159】

また、上記実施形態では、活性領域等におけるSiGe層と素子分離絶縁膜との接触を防止するためSiN膜を介在させていたが、介在させる膜はSiN膜に限定されるものではない。SiN膜の代わりに、例えばSiON膜を介在させてもよい。SiON膜を用いる場合には、CVD法によりSiN膜を形成する代わりに、歪みSiチャンネル層、Siキャップ層等のSi層を形成した後、Si層の熱酸化膜を形成する。次いで、熱酸化膜を窒化することによりSiON膜を形成する。但し、この場合には、歪みSiチャンネル層、Siキャップ層等のSiON膜が形成される下地のSi層が熱酸化により消費される。このため、熱酸化による消費分を考慮した厚さに、歪みSiチャンネル層、Siキャップ層等を形成することが望ましい。

## 【0160】

また、上記実施形態では、素子分離溝を形成されたSiGeバッファ層上にはSiGe再成長バッファ層を形成し、また、素子分離溝が形成されたp型Si基板上にはSi再成長バッファ層を形成したが、SiGe再成長バッファ層又はSi再成長バッファ層は必ずしも形成しなくてもよい。なお、上記実施形態において、SiGe再成長バッファ層又はSi再成長バッファ層を形成するのは次の理由による。すなわち、CVD法により半導体装置を構成する層を成長する際には、通常、空气中で前処理を行ってから成長炉に基板を導入する。このため、再成長界面には不純物が残存し、トランジスタ特性のばらつきの原因の一つとなる。上記実施形態のように、再成長バッファ層を形成することにより、かかる不純物のトランジスタ特性への影響を低減することができる。



【 0 1 6 1 】

(付記 1) シリコン基板と、前記シリコン基板上に形成され、活性領域を画定する素子分離溝が表面に形成された S i G e 層と、前記素子分離溝の側壁及び前記活性領域の前記 S i G e 層上に形成されたシリコン層と、前記シリコン層が形成された前記素子分離溝に埋め込まれた素子分離絶縁膜とを有することを特徴とする半導体装置。

【 0 1 6 2 】

(付記 2) 付記 1 記載の半導体装置において、前記活性領域に形成されたソース拡散層及びドレイン拡散層と、前記ソース拡散層と前記ドレイン拡散層との間の前記シリコン層上に、ゲート絶縁膜を介して形成されたゲート電極とを更に有する

ことを特徴とする半導体装置。

【 0 1 6 3 】

(付記 3) 付記 1 記載の半導体装置において、前記活性領域は、前記素子分離溝により、コレクタ形成領域と、ベースエミッタ形成領域とが分離されており、前記コレクタ形成領域の前記 S i G e 層及び前記シリコン層に形成された第 1 の導電型のコレクタ領域と、前記ベースエミッタ形成領域の前記シリコン層に形成された第 2 の導電型のベース領域と、前記ベースエミッタ形成領域の前記シリコン層に形成された第 1 の導電型のエミッタ電極コンタクト領域とを更に有することを特徴とする半導体装置。

【 0 1 6 4 】

(付記 4) 付記 1 乃至 3 のいずれかに記載の半導体装置において、前記素子分離溝の側壁の前記シリコン層上に形成された絶縁膜を更に有することを特徴とする半導体装置。

【 0 1 6 5 】

(付記 5) 活性領域を画定する素子分離溝が表面に形成されたシリコン基板と、前記シリコン基板の前記素子分離溝の側壁及び前記活性領域に形成された S i G e 層と、前記 S i G e 層上に形成されたシリコン層と、前記シリコン層が形成された前記素子分離溝に埋め込まれた素子分離絶縁膜とを有することを特徴と

する半導体装置。

【 0 1 6 6 】

(付記 6) 付記 5 記載の半導体装置において、前記活性領域に形成されたソース拡散層及びドレイン拡散層と、前記ソース拡散層と前記ドレイン拡散層との間の前記シリコン層上に、ゲート絶縁膜を介して形成されたゲート電極とを更に有することを特徴とする半導体装置。

【 0 1 6 7 】

(付記 7) 付記 5 記載の半導体装置において、前記活性領域は、前記素子分離溝により、コレクタ形成領域と、ベースエミッタ形成領域とが分離されており、前記コレクタ形成領域の前記 SiGe 層及び前記シリコン層に形成された第 1 の導電型のコレクタ領域と、前記ベースエミッタ形成領域の前記 SiGe 層及び前記シリコン層に形成された第 2 の導電型のベース領域と、前記ベースエミッタ形成領域の前記シリコン層に形成された第 1 の導電型のエミッタ電極コンタクト領域とを更に有することを特徴とする半導体装置。

【 0 1 6 8 】

(付記 8) 付記 5 記載の半導体装置において、前記シリコン層は、SiGe 層にキャリアとして電子を供給する電子供給層であり、前記活性領域に形成されたソース拡散層及びドレイン拡散層と、前記ソース拡散層と前記ドレイン拡散層との間の前記シリコン層上に形成されたゲート電極とを更に有することを特徴とする半導体装置。

【 0 1 6 9 】

(付記 9) 付記 5 乃至 8 のいずれかに記載の半導体装置において、前記素子分離溝の側壁の前記シリコン層上に形成された絶縁膜を更に有することを特徴とする半導体装置。

【 0 1 7 0 】

(付記 10) 付記 4 又は 9 記載の半導体装置において、前記絶縁膜は、SiN 膜又は SiON 膜であることを特徴とする半導体装置。

【 0 1 7 1 】

(付記 11) シリコン基板上に、SiGe 層を形成する工程と、前記 SiGe

e 層に、活性領域を画定する素子分離溝を形成する工程と、前記素子分離溝の側壁及び前記活性領域の前記第 SiGe 層上に、シリコン層を形成する工程と、前記シリコン層が形成された前記素子分離溝に、素子分離絶縁膜を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

## 【0172】

(付記 12) 付記 11 記載の半導体装置の製造方法において、前記素子分離溝に前記素子分離絶縁膜を埋め込む工程の前に、前記シリコン層上に、絶縁膜を形成する工程を更に有することを特徴とする半導体装置の製造方法。

## 【0173】

(付記 13) 付記 12 記載の半導体装置の製造方法において、前記絶縁膜を形成する工程では、前記絶縁膜として SiN 膜を形成することを特徴とする半導体装置の製造方法。

## 【0174】

(付記 14) 付記 13 記載の半導体装置の製造方法において、前記絶縁膜を形成する工程の前に、前記シリコン層を酸化することにより、前記シリコン層表面にシリコン酸化膜を形成する工程を更に有することを特徴とする半導体装置の製造方法。

## 【0175】

(付記 15) 付記 12 記載の半導体装置の製造方法において、前記絶縁膜を形成する工程では、前記シリコン層を酸化及び窒化することにより前記絶縁膜としての SiON 膜を形成することを特徴とする半導体装置の製造方法。

## 【0176】

(付記 16) 付記 11 乃至 15 のいずれかに記載の半導体装置の製造方法において、前記 SiGe 層に前記素子分離溝を形成する工程は、前記 SiGe 層上にシリコン層を形成する工程と、前記シリコン層を酸化する工程と、酸化された前記シリコン層上に SiN 膜を形成する工程と、前記 SiN 膜を介してエッチングすることにより、前記 SiGe 層に前記素子分離溝を形成する工程とを有することを特徴とする半導体装置の製造方法。

## 【0177】

(付記 1 7) シリコン基板に、活性領域を画定する素子分離溝を形成する工程と、前記シリコン基板の前記素子分離溝の側壁及び活性領域に、S i G e 層を形成する工程と、前記 S i G e 層上に、シリコン層を形成する工程と、前記シリコン層が形成された前記素子分離溝に、素子分離絶縁膜を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【 0 1 7 8 】

(付記 1 8) 付記 1 7 記載の半導体装置の製造方法において、前記素子分離溝に前記素子分離膜を埋め込む工程の前に、前記シリコン層上に、絶縁膜を形成する工程を更に有することを特徴とする半導体装置の製造方法。

【 0 1 7 9 】

(付記 1 9) 付記 1 8 記載の半導体装置の製造方法において、前記絶縁膜を形成する工程では、前記絶縁膜として S i N 膜を形成することを特徴とする半導体装置の製造方法。

【 0 1 8 0 】

(付記 2 0) 付記 1 9 記載の半導体装置の製造方法において、前記絶縁膜を形成する工程の前に、前記シリコンキャップ層を酸化することにより、前記シリコン層表面にシリコン酸化膜を形成する工程を更に有することを特徴とする半導体装置の製造方法。

【 0 1 8 1 】

(付記 2 1) 付記 1 8 記載の半導体装置の製造方法において、前記絶縁膜を形成する工程では、前記シリコン層を酸化及び窒化することにより前記絶縁膜としての S i O N 膜を形成することを特徴とする半導体装置の製造方法。

【 0 1 8 2 】

【発明の効果】

以上の通り、本発明によれば、シリコン基板と、シリコン基板上に形成され、活性領域を画定する素子分離溝が表面に形成された S i G e 層と、素子分離溝の側壁及び活性領域の S i G e 層上に形成されたシリコン層と、シリコン層が形成された素子分離溝に埋め込まれた素子分離絶縁膜とを有するので、活性領域の S i G e 層と素子分離絶縁膜との接触が防止され、活性領域端部にリーク電流のパ

スが形成されるのを抑制することができる。

【0183】

また、活性領域を画定する素子分離溝が表面に形成されたシリコン基板と、シリコン基板の素子分離溝の側壁及び活性領域に形成されたSiGe層と、SiGe層上に形成されたシリコン層と、シリコン層が形成された素子分離溝に埋め込まれた素子分離絶縁膜とを有するので、活性領域のSiGe層と素子分離絶縁膜との接触が防止され、活性領域端部にリーク電流のパスが形成されるのを抑制することができる。

【0184】

また、素子分離溝の側壁の歪みシリコン層又はシリコン層上に形成されたSiN膜等の絶縁膜を有するので、活性領域端部にリーク電流のパスが形成されるのを更に効果的に抑制することができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態による半導体装置の構造を示す断面図である。

【図2】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図3】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図4】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

【図5】

本発明の第2実施形態による半導体装置の構造を示す断面図である。

【図6】

本発明の第2実施形態による半導体装置の製造方法を示す工程断面図である。

【図7】

本発明の第 3 実施形態による半導体装置の構造を示す断面図である。

【図 8】

本発明の第 3 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 9】

本発明の第 3 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 1 0】

本発明の第 3 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 1 1】

本発明の第 4 実施形態による半導体装置の構造を示す断面図である。

【図 1 2】

本発明の第 4 実施形態による半導体装置の製造方法を示す工程断面図である。

【図 1 3】

本発明の第 5 実施形態による半導体装置の構造を示す断面図である。

【図 1 4】

本発明の第 5 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 1 5】

本発明の第 5 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 1 6】

本発明の第 5 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 1 7】

本発明の第 5 実施形態の変形例による半導体装置の構造を示す断面図である。

【図 1 8】

本発明の第 6 実施形態による半導体装置の構造を示す断面図である。

【図 1 9】

本発明の第 6 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 2 0】

本発明の第 6 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 2 1】

本発明の第 6 実施形態の変形例による半導体装置の構造を示す断面図である。

【図 2 2】

チャンネルとなる半導体層に歪みを加えた従来の MOS トランジスタの構造を示す断面図（その 1）である。

【図 2 3】

チャンネルとなる半導体層に歪みを加えた従来の MOS トランジスタの構造を示す断面図（その 2）である。

【図 2 4】

チャンネルとなる半導体層に歪みを加えた従来の MOS トランジスタの活性領域端部に沿って形成されるリーク電流パスを示す上面図である。

【図 2 5】

チャンネルとなる半導体層に歪みを加えた従来の MOS トランジスタにおいて活性領域端部にポリ Si のサイドウォールを形成した場合の構造を示す断面図である。

【符号の説明】

- 1 0 … p 型 Si 基板
- 1 2 … SiGe バッファー層
- 1 4 … 素子分離領域
- 1 6 … 素子分離溝
- 1 8 … 活性領域
- 2 0 … SiGe 再成長バッファー層
- 2 2 … 歪み Si チャンネル層

2 4 … S i N 膜  
2 6 … 素子分離絶縁膜  
2 8 a、2 8 b … ソース／ドレイン拡散層  
3 0 … ゲート絶縁膜  
3 2 … ゲート電極  
3 4 a、3 4 b … ソース／ドレイン電極  
3 5 … S i キャップ層  
3 6 … シリコン酸化膜  
3 7 … S i N 膜  
3 8 … シリコン酸化膜  
4 0 … 寄生領域  
4 2 … サイドウォール  
4 4 … p 型 S i 基板  
4 6 … 素子分離領域  
4 8 … 素子分離溝  
5 0 … 活性領域  
5 2 … S i 再成長バッファ層  
5 4 … 歪み S i G e チャンネル層  
5 6 … S i キャップ層  
5 8 … S i N 膜  
6 0 … 素子分離絶縁膜  
6 2 a、6 2 b … ソース／ドレイン拡散層  
6 4 … ゲート絶縁膜  
6 6 … ゲート電極  
6 8 a、6 8 b … ソース／ドレイン電極  
7 0 … S i N 膜  
7 2 … シリコン酸化膜  
7 4 … 寄生領域  
7 6 … サイドウォール



7 8 … n 型領域  
8 0 … 素子分離領域  
8 2 … 素子分離溝  
8 4 … エミッタベース形成領域  
8 6 … コレクタ形成領域  
8 8 … S i 再成長バッファ層  
9 0 … p 型歪み S i G e チャンネル層  
9 2 … S i エミッタ層  
9 4 … S i N 膜  
9 6 … 素子分離絶縁膜  
9 8 … コレクタ電極コンタクト領域  
1 0 0 … コレクタ電極  
1 0 2 … エミッタ電極コンタクト領域  
1 0 4 … エミッタ電極  
1 0 6 … ベース電極コンタクト領域  
1 0 8 … ベース電極  
1 1 0 … S i N 膜  
1 1 2 … シリコン酸化膜  
1 1 4、1 1 6、1 1 8 … レジスト膜  
1 2 0 … n 型 S i 基板  
1 2 2 … 素子分離領域  
1 2 4 … 素子分離溝  
1 2 6 … 活性領域  
1 2 8 … S i 再成長バッファ層  
1 3 0 … 歪み S i G e チャンネル層  
1 3 2 … S i 正孔供給層  
1 3 4 … S i N 膜  
1 3 6 … 素子分離絶縁膜  
1 3 8 a、1 3 8 b … ソース／ドレイン拡散層

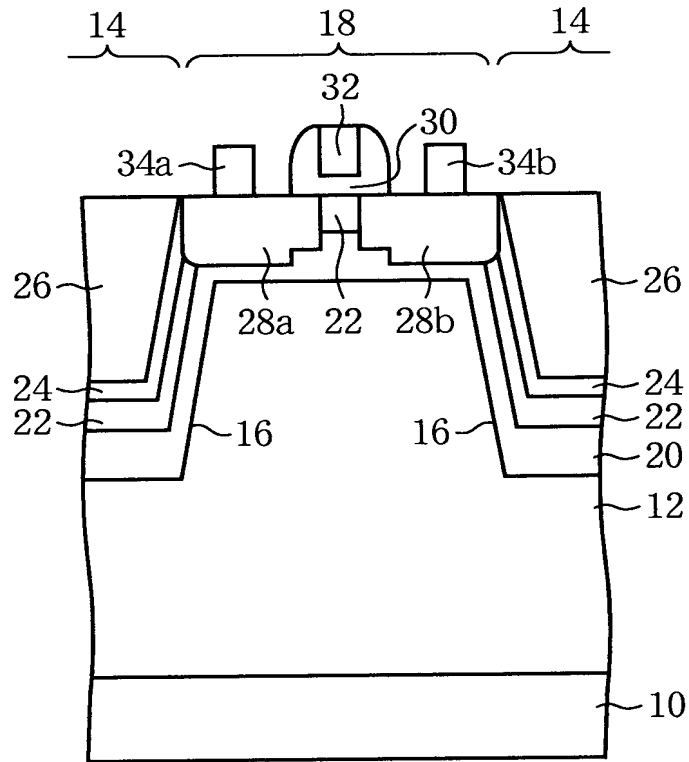
1 4 0 … ゲート電極  
1 4 2 a、 1 4 2 b … ソース／ドレイン電極  
1 4 4 … S i N 膜  
1 4 6 … シリコン酸化膜  
2 0 0 … p 型 S i 基板  
2 0 2 … S i G e バッファ層  
2 0 4 … 歪み S i チャンネル層  
2 0 6 … 素子分離領域  
2 0 8 … 素子分離溝  
2 1 0 … 活性領域  
2 1 2 … 素子分離絶縁膜  
2 1 4 a、 2 1 4 b … ソース／ドレイン拡散層  
2 1 6 … ゲート絶縁膜  
2 1 8 … ゲート電極  
2 2 0 a、 2 2 0 b … ソース／ドレイン電極  
2 2 2 … p 型 S i 基板  
2 2 4 … S i バッファ層  
2 2 6 … 歪み S i G e チャンネル層  
2 2 8 … S i キャップ層  
2 3 0 … 素子分離領域  
2 3 2 … 素子分離溝  
2 3 4 … 活性領域  
2 3 6 … 素子分離絶縁膜  
2 3 8 a、 2 3 8 b … ソース／ドレイン拡散層  
2 4 0 … ゲート絶縁膜  
2 4 2 … ゲート電極  
2 4 4 a、 2 4 4 b … ソース／ドレイン電極  
2 4 6 … サイドウォール

特 2 0 0 2 - 2 4 0 1 6 8

【書類名】 図面

【図 1】

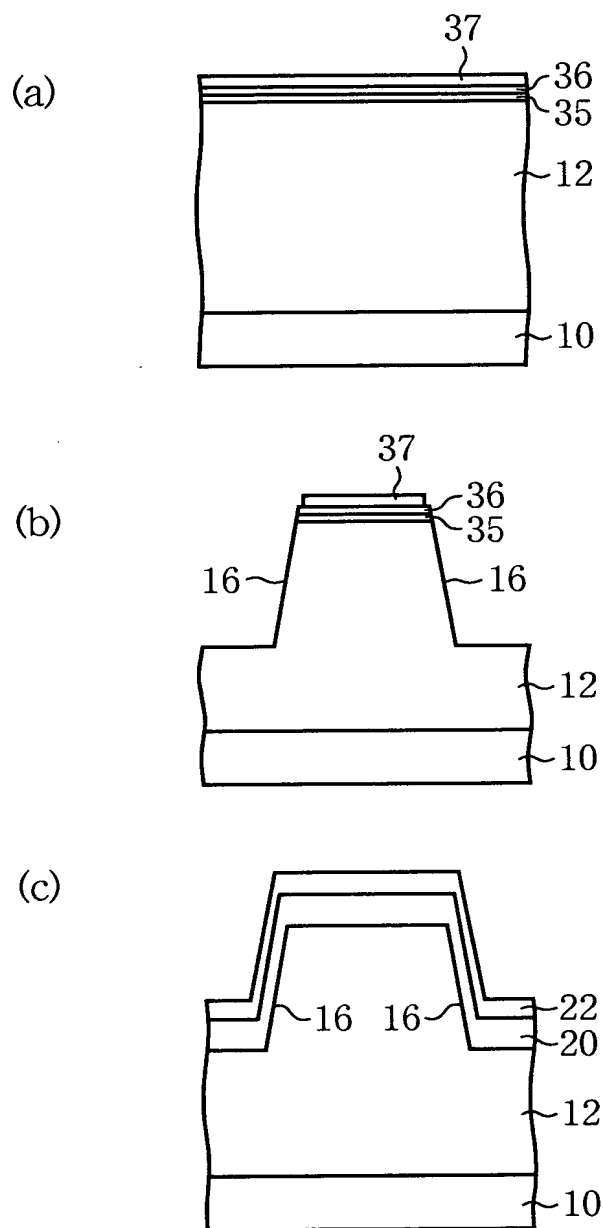
本発明の第1実施形態による半導体装置の構造を示す断面図



- 10…p型Si基板
- 12…SiGeバッファ層
- 14…素子分離領域
- 16…素子分離溝
- 18…活性領域
- 20…SiGe再成長バッファ層
- 22…歪みSiチャネル層
- 24…SiN膜
- 26…素子分離絶縁膜
- 28a、28b…ソース／ドレイン拡散層
- 30…ゲート絶縁膜
- 32…ゲート電極
- 34a、34b…ソース／ドレイン電極

【図 2】

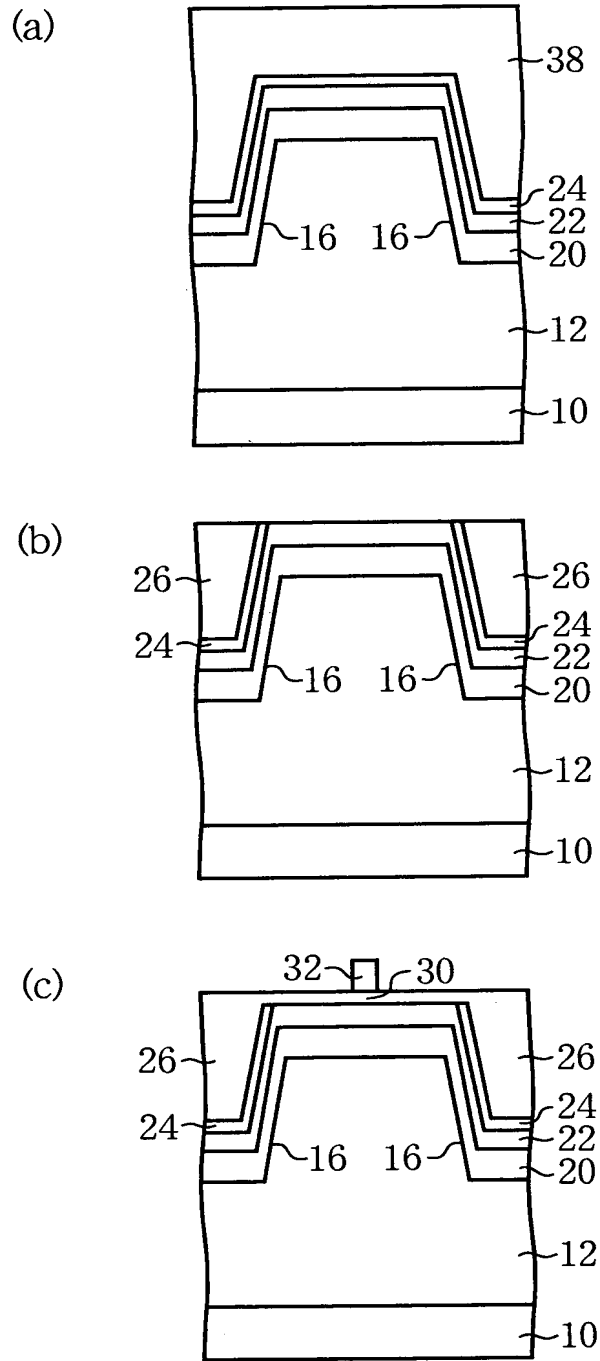
本発明の第1実施形態による半導体装置の製造方法を示す  
工程断面図（その1）



35…Siキャップ層  
36…シリコン酸化膜  
37…SiN膜

【図 3】

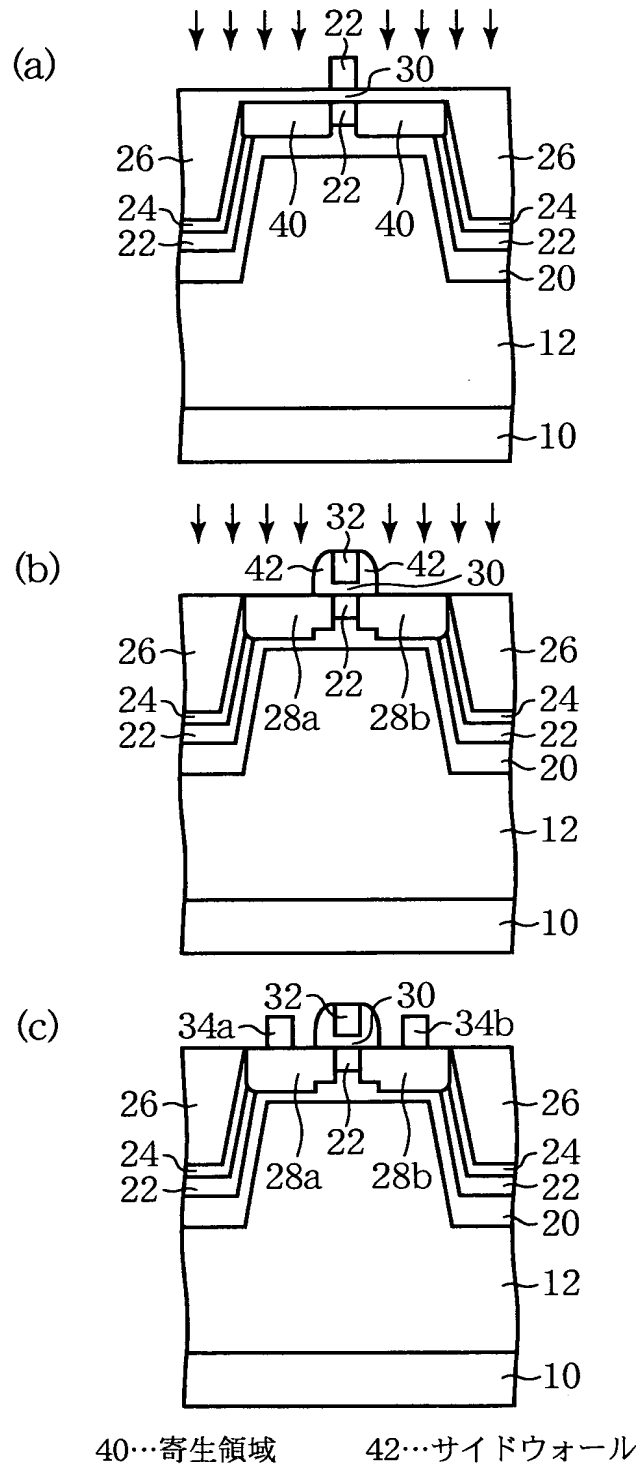
本発明の第1実施形態による半導体装置の製造方法を示す  
工程断面図（その2）



38…シリコン酸化膜

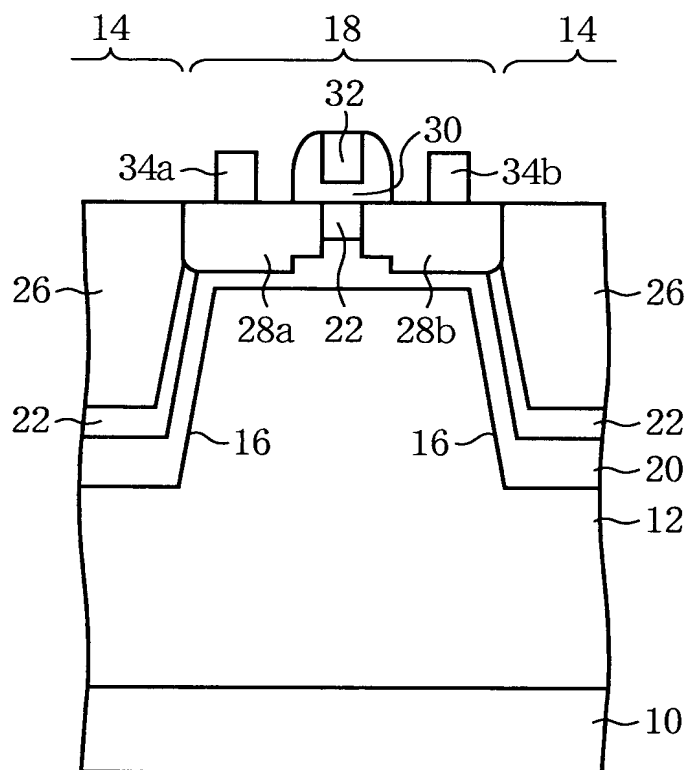
【図 4】

本発明の第1実施形態による半導体装置の製造方法を示す  
工程断面図（その3）



【図 5】

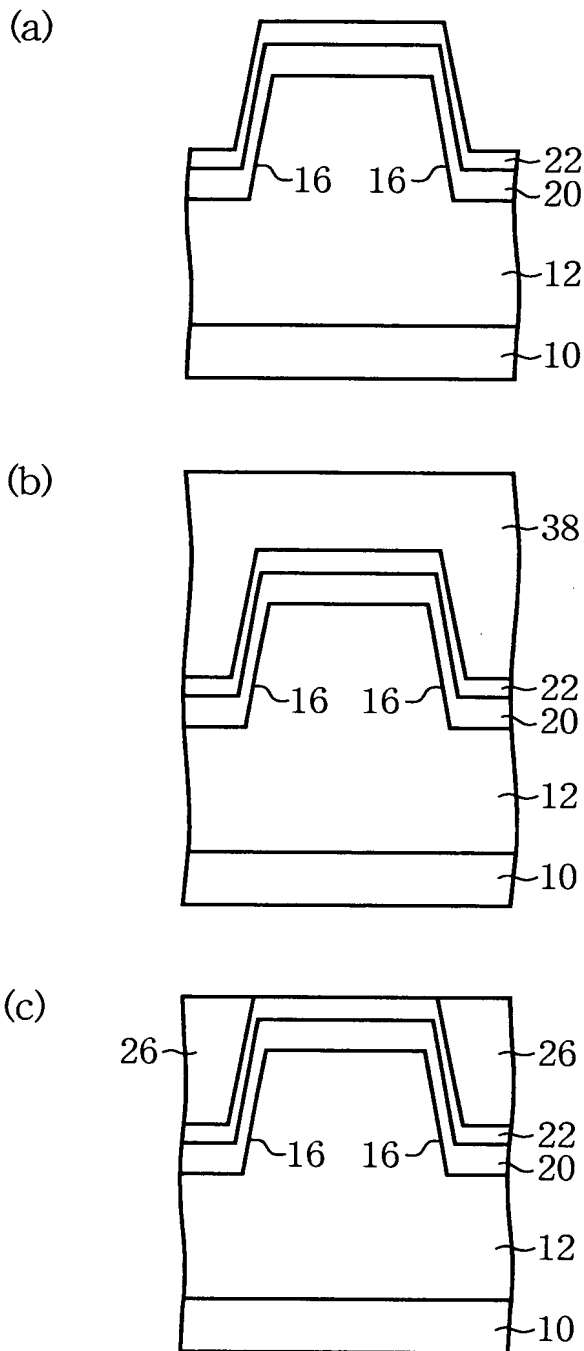
本発明の第2実施形態による半導体装置の構造を示す断面図





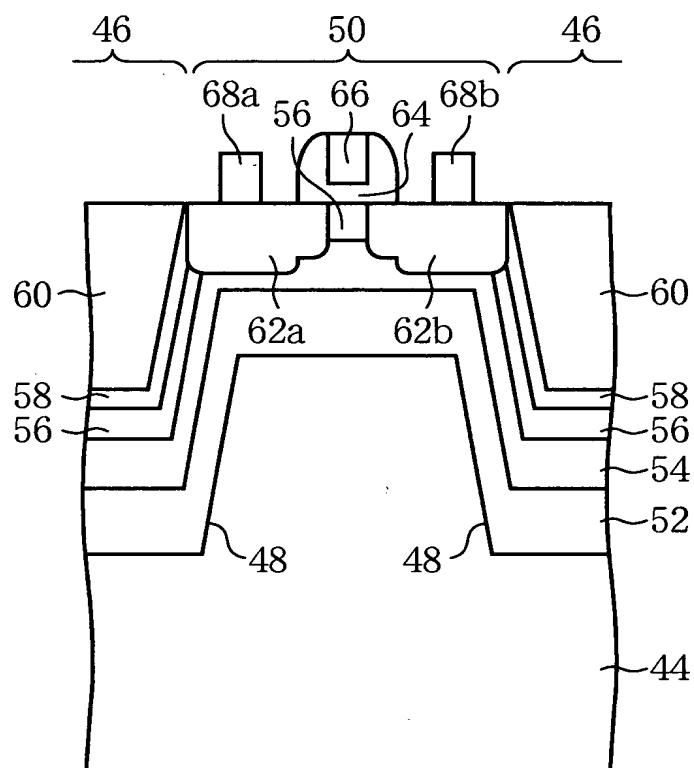
【図 6】

本発明の第2実施形態による半導体装置の製造方法を示す  
工程断面図



【図 7】

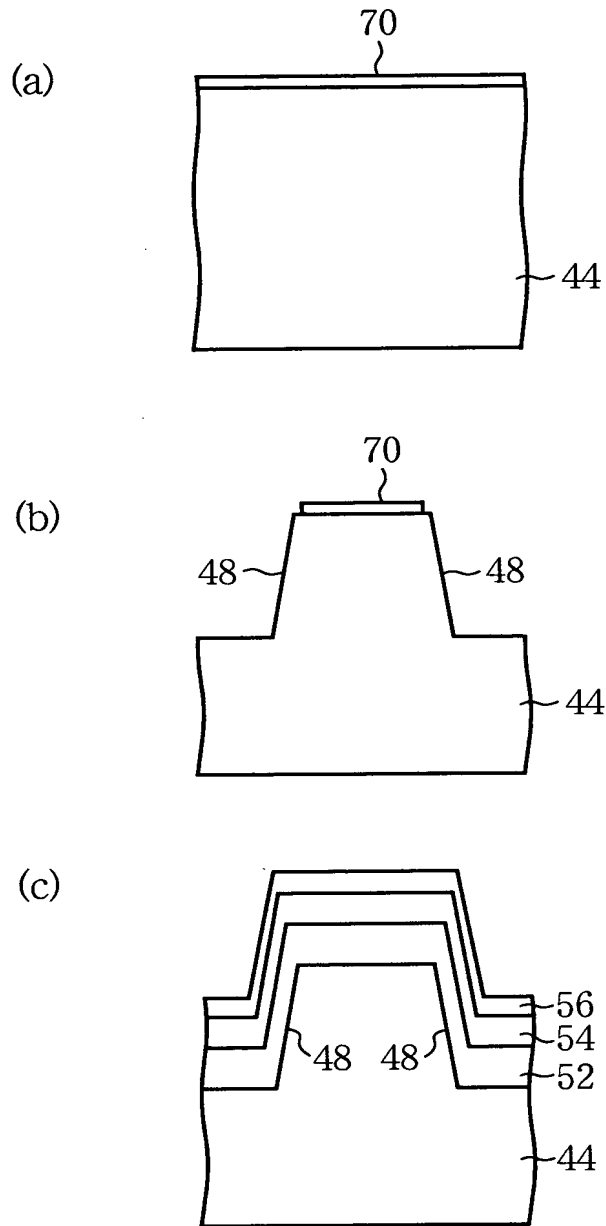
本発明の第3実施形態による半導体装置の構造を示す断面図



- 44…p型Si基板
- 46…素子分離領域
- 48…素子分離溝
- 50…活性領域
- 52…Si再成長バッファ層
- 54…歪みSiGeチャネル層
- 56…Siキャップ層
- 58…SiN膜
- 60…素子分離絶縁膜
- 62a、62b…ソース／ドレイン拡散層
- 64…ゲート絶縁膜
- 66…ゲート電極
- 68a、68b…ソース／ドレイン電極

【図 8】

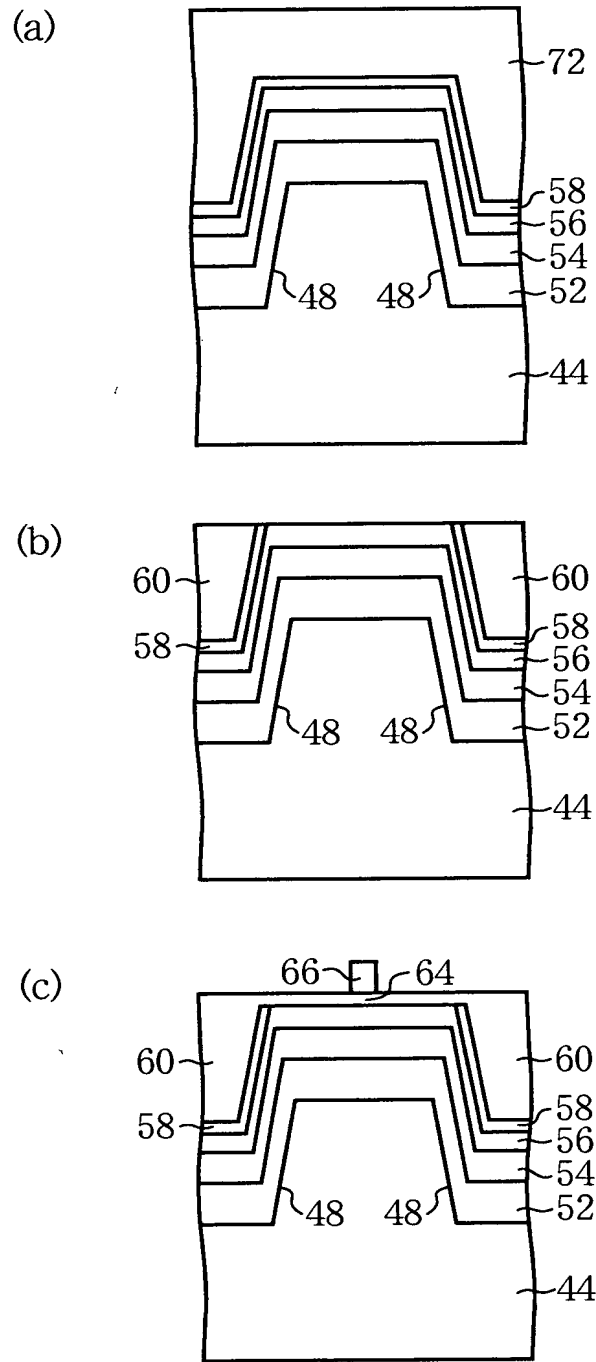
本発明の第3実施形態による半導体装置の製造方法を示す  
工程断面図（その1）



70…SiN膜

【図 9】

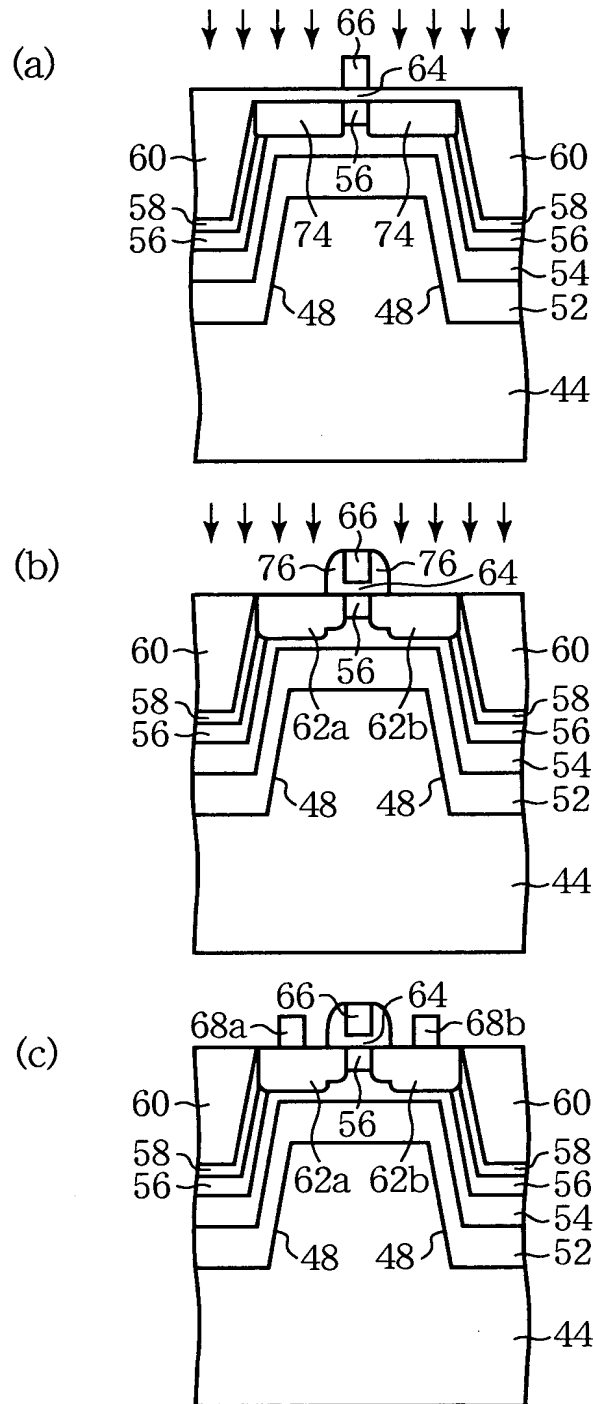
本発明の第3実施形態による半導体装置の製造方法を示す  
工程断面図（その2）



72…シリコン酸化膜

【図 1 0】

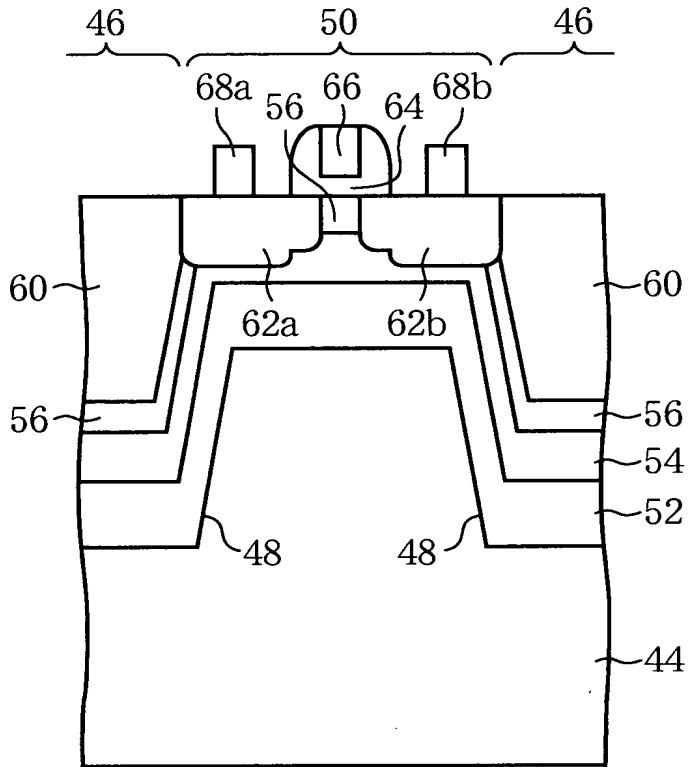
本発明の第3実施形態による半導体装置の製造方法を示す  
工程断面図（その3）



74…寄生領域      76…サイドウォール

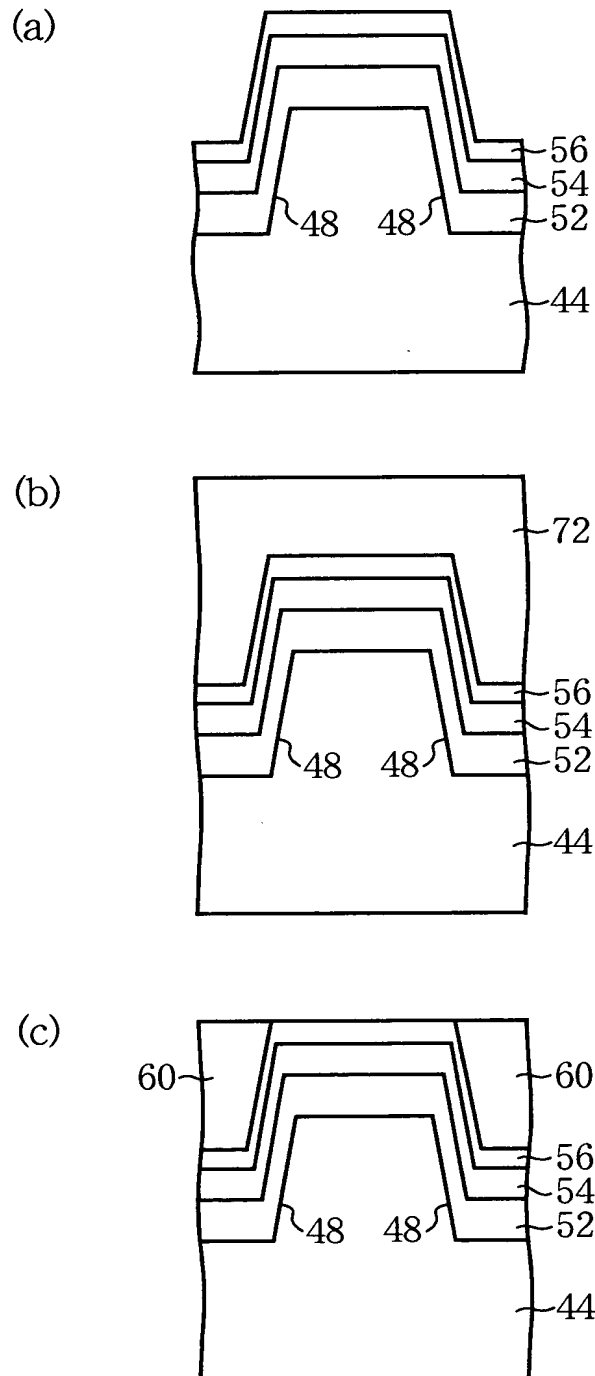
【図 1 1】

本発明の第4実施形態による半導体装置の構造を示す断面図



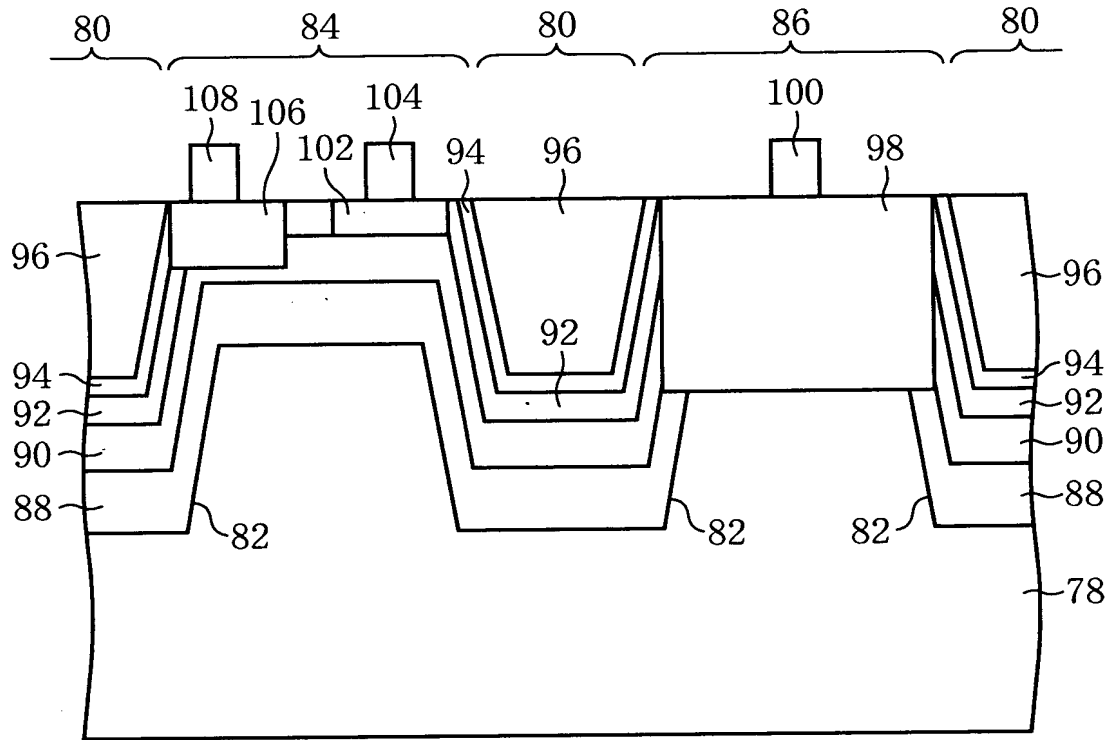
【図 1 2】

本発明の第4実施形態による半導体装置の製造方法を示す  
工程断面図



【図 1 3】

本発明の第5実施形態による半導体装置の構造を示す断面図

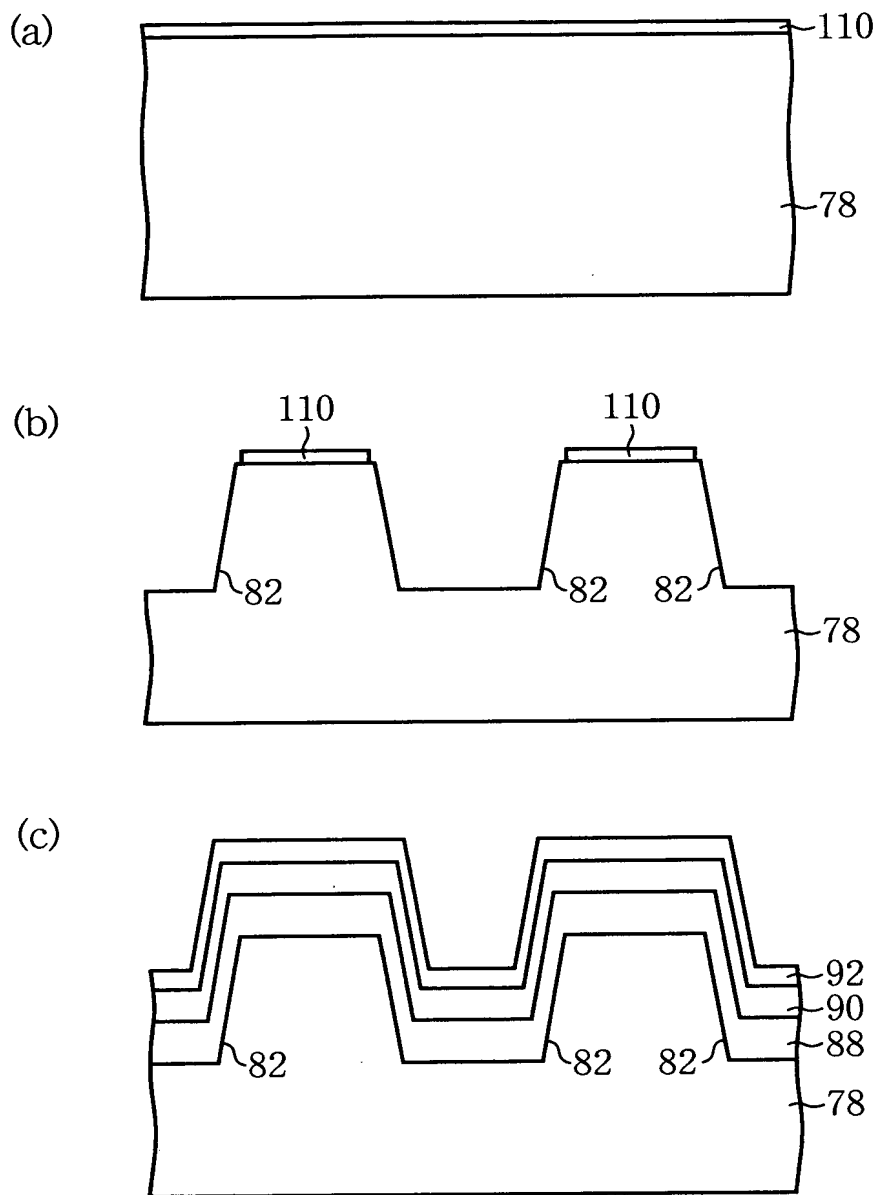


- 78…n型領域
- 80…素子分離領域
- 82…素子分離溝
- 84…エミッタ・ベース形成領域
- 86…コレクタ形成領域
- 88…Si再成長バッファ層
- 90…p型歪みSiGeチャネル層
- 92…Siエミッタ層
- 94…SiN膜
- 96…素子分離絶縁膜
- 98…コレクタ電極コンタクト領域
- 100…コレクタ電極
- 102…エミッタ電極コンタクト領域
- 104…エミッタ電極
- 106…ベース電極コンタクト領域
- 108…ベース電極



【図 1 4】

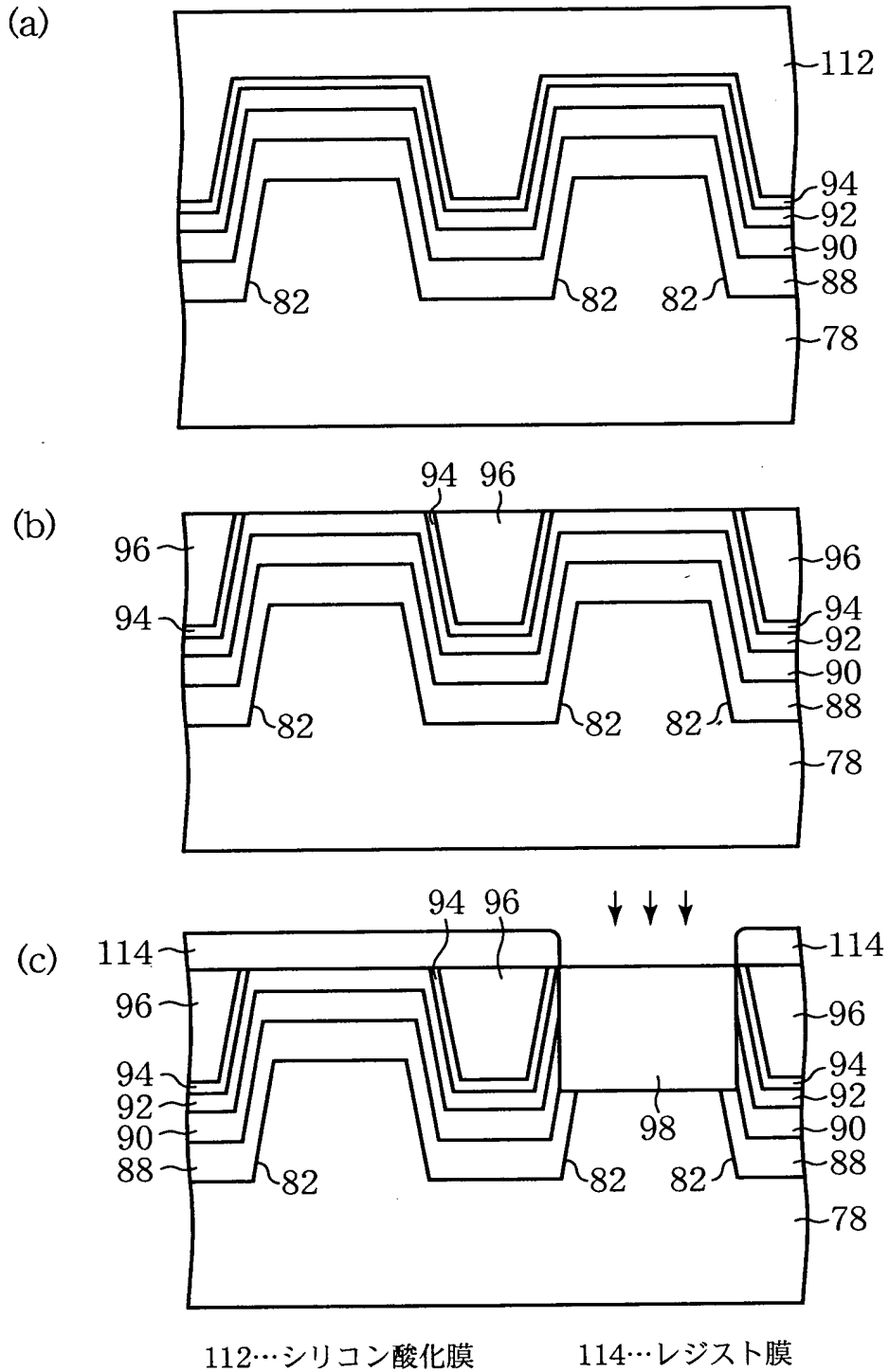
本発明の第5実施形態による半導体装置の製造方法を示す  
工程断面図（その1）



110…SiN膜

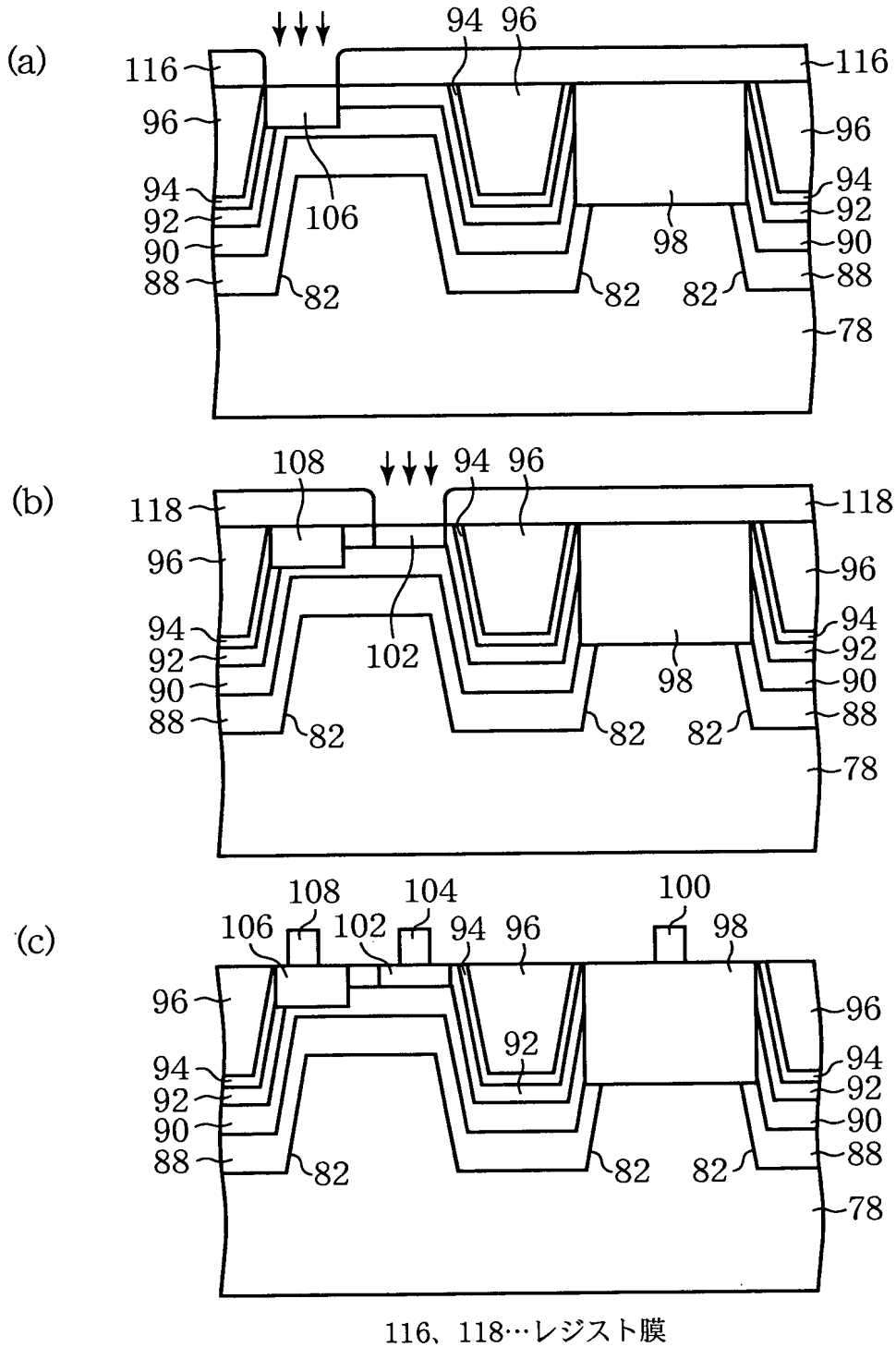
【図 1 5】

本発明の第5実施形態による半導体装置の製造方法を示す  
工程断面図（その2）



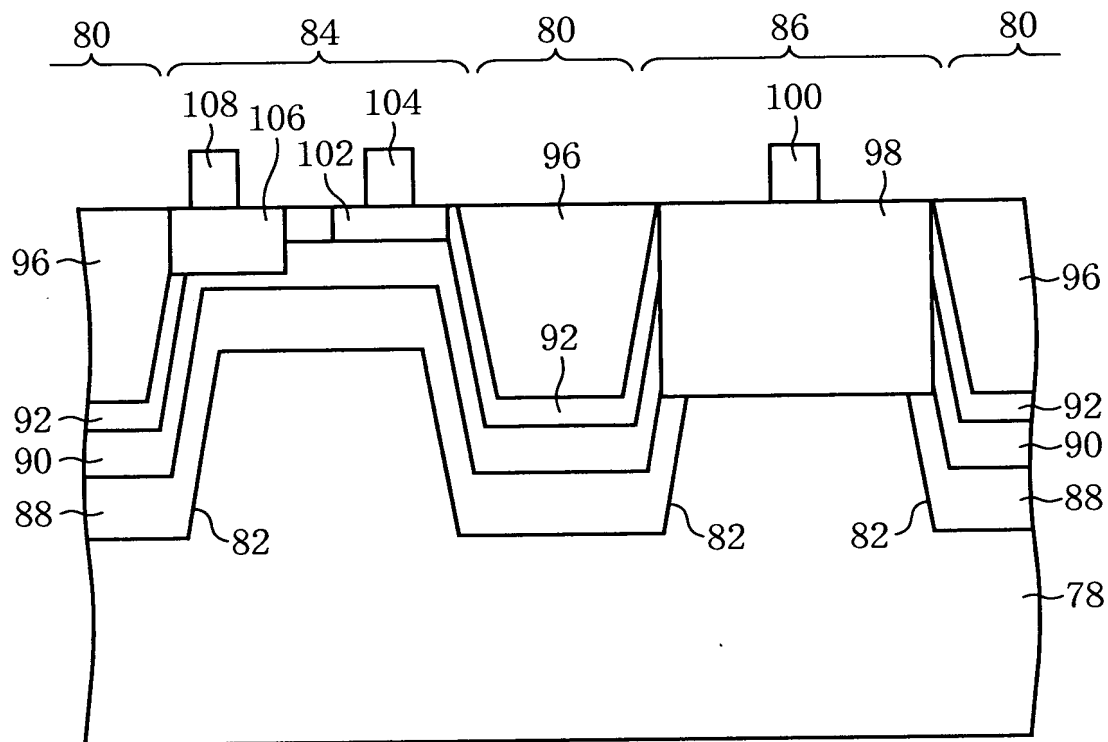
【図 1 6】

本発明の第5実施形態による半導体装置の製造方法を示す  
工程断面図（その3）



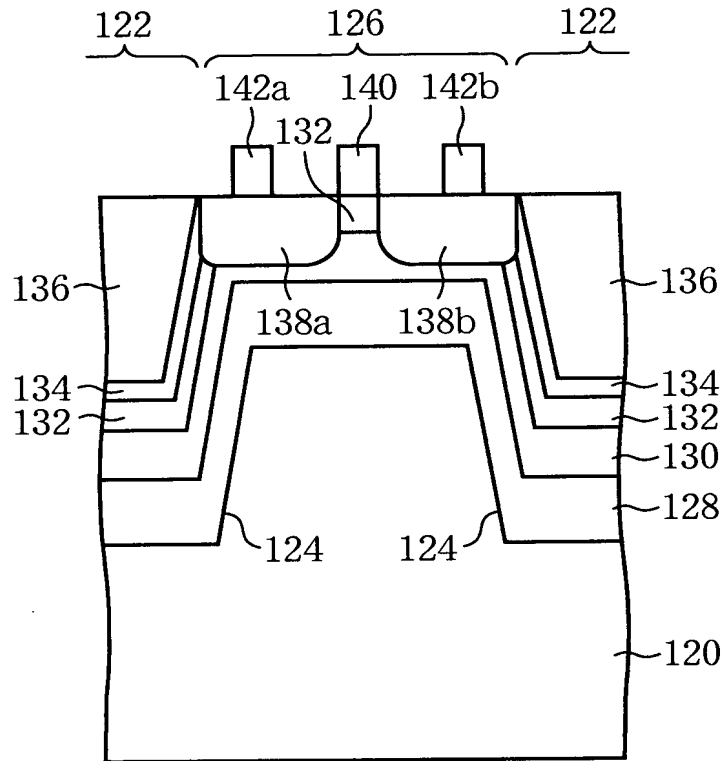
【図 1 7】

本発明の第5実施形態の変形例による半導体装置の  
構造を示す断面図



【図 1 8】

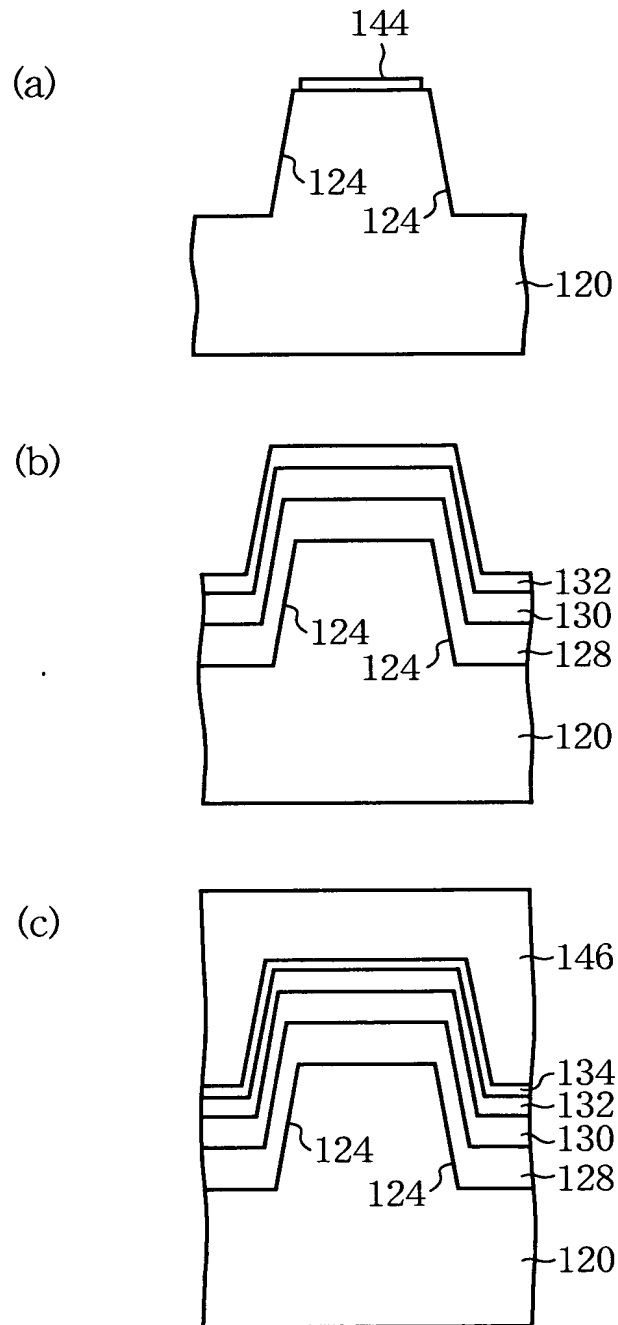
本発明の第6実施形態による半導体装置の構造を示す断面図



- 120…n型Si基板
- 122…素子分離領域
- 124…素子分離溝
- 126…活性領域
- 128…Si再成長バッファ層
- 130…歪みSiGeチャネル層
- 132…Si正孔供給層
- 134…SiN膜
- 136…素子分離絶縁膜
- 138a、138b…ソース／ドレイン拡散層
- 140…ゲート電極
- 142a、142b…ソース／ドレイン電極

【図 1 9】

本発明の第6実施形態による半導体装置の製造方法を示す  
工程断面図（その1）

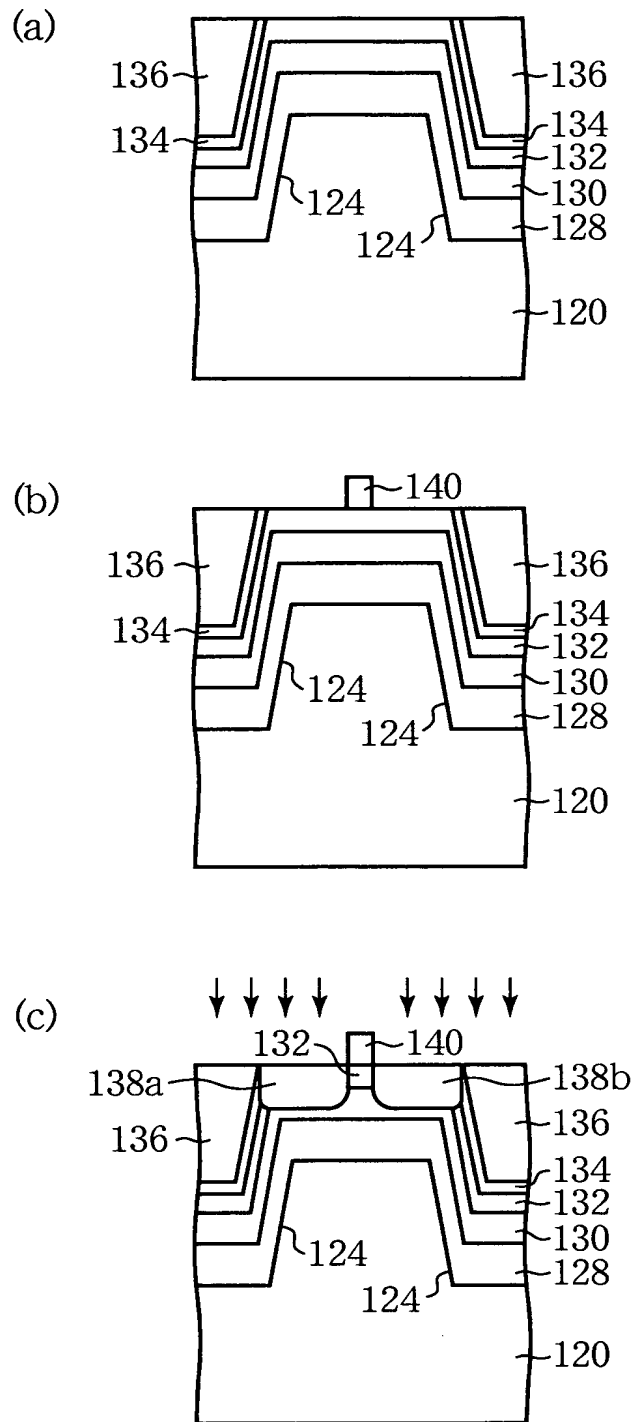


144…SiN膜

146…シリコン酸化膜

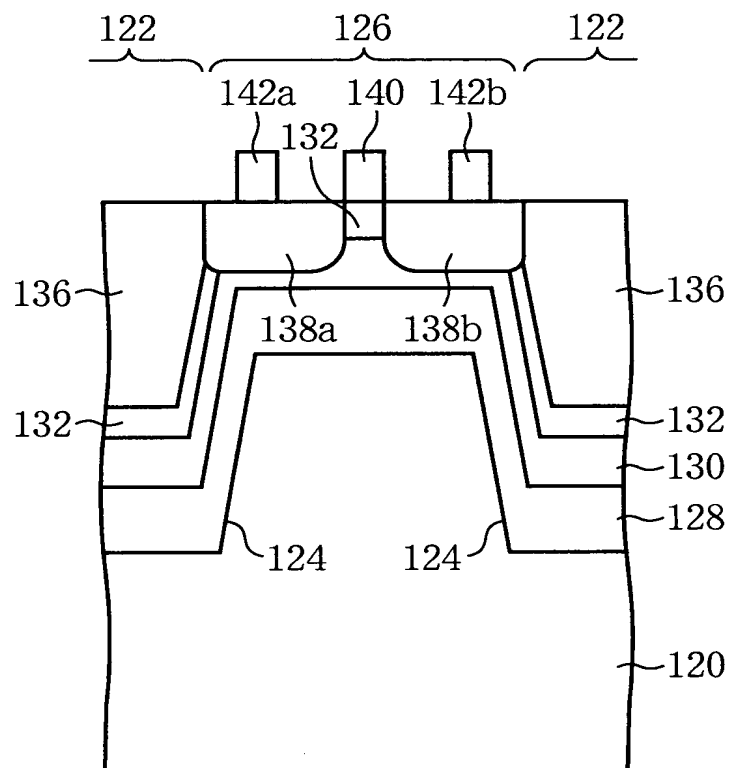
【図 2 0】

本発明の第6実施形態による半導体装置の製造方法を示す  
工程断面図（その2）



【図 2 1】

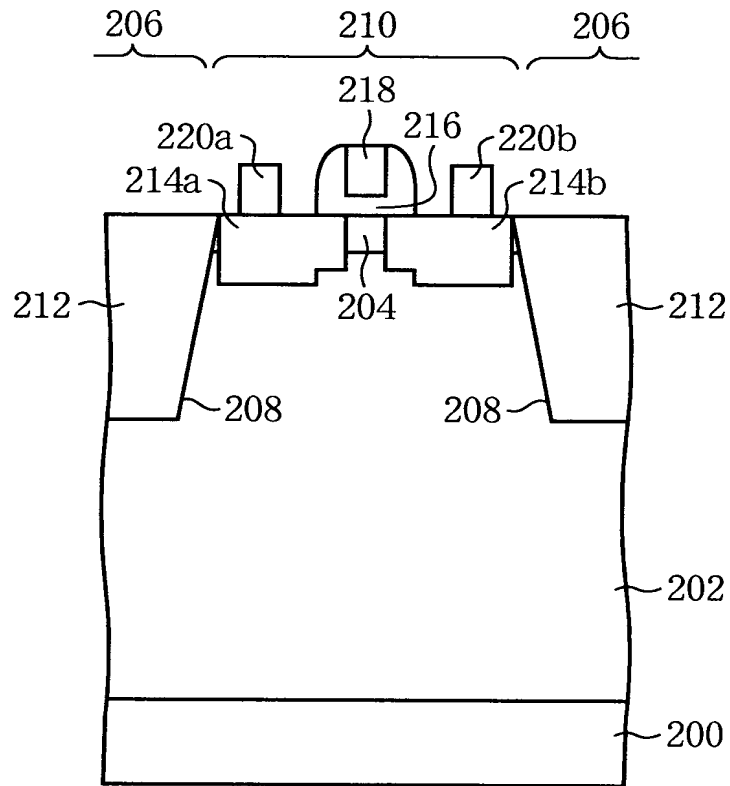
本発明の第6実施形態の変形例による半導体装置の  
構造を示す断面図





【図 2 2】

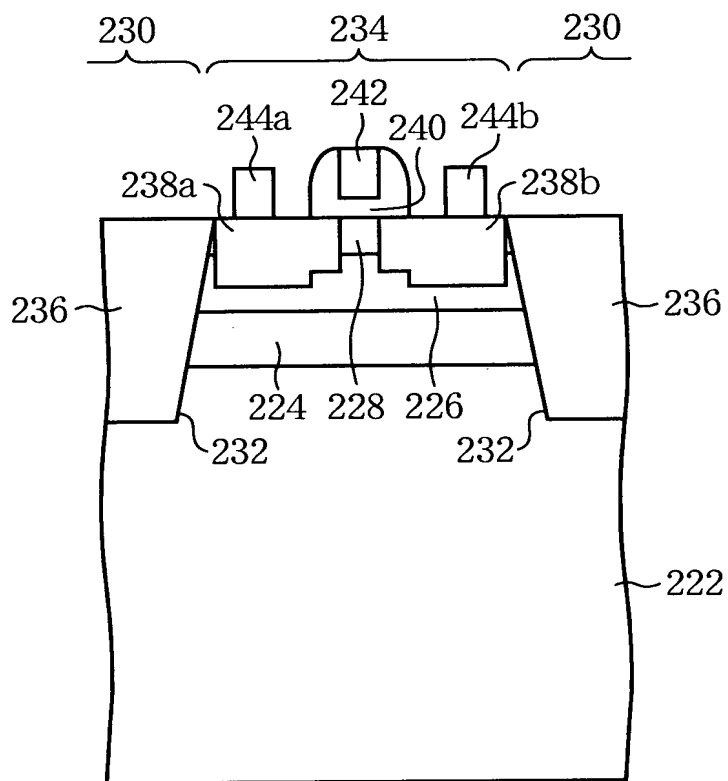
チャネルとなる半導体層に歪みを加えた従来の  
MOSトランジスタの構造を示す断面図（その1）



- 200…p型Si基板
- 202…SiGeバッファ層
- 204…歪みSiチャネル層
- 206…素子分離領域
- 208…素子分離溝
- 210…活性領域
- 212…素子分離絶縁膜
- 214a、214b…ソース／ド레인拡散層
- 216…ゲート絶縁膜
- 218…ゲート電極
- 220a、220b…ソース／ド레인電極

【図 2 3】

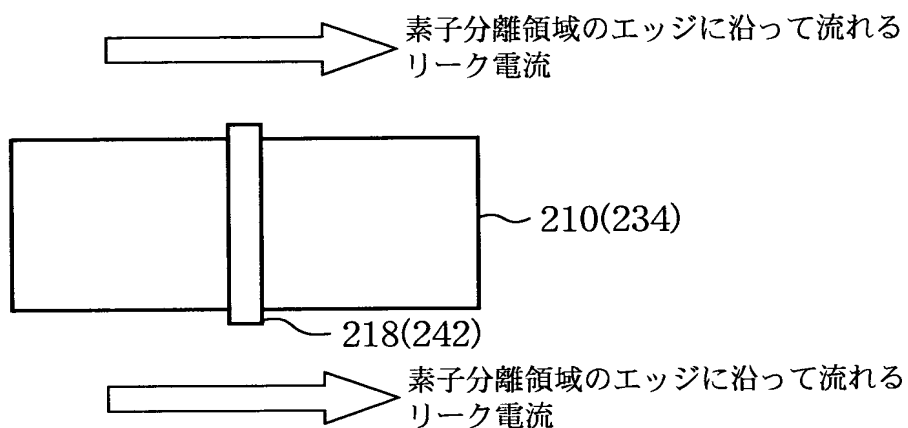
チャネルとなる半導体層に歪みを加えた従来の  
MOSトランジスタの構造を示す断面図（その2）



- 222…p型Si基板
- 224…Siバッファ層
- 226…歪みSiGeチャネル層
- 228…Siキャップ層
- 230…素子分離領域
- 232…素子分離溝
- 234…活性領域
- 236…素子分離絶縁膜
- 238a、238b…ソース／ドレイン拡散層
- 240…ゲート絶縁膜
- 242…ゲート電極
- 244a、244b…ソース／ドレイン電極

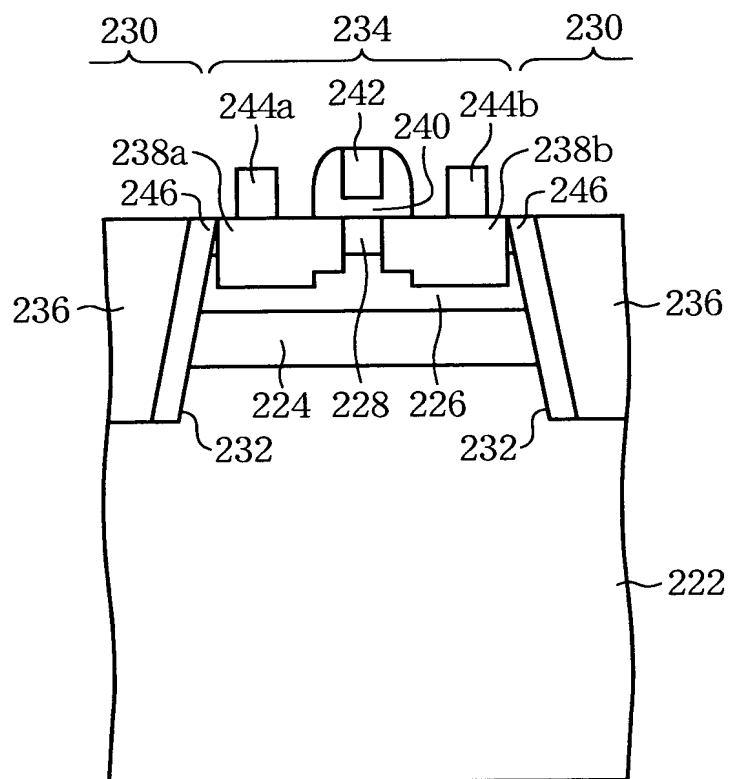
【図 2 4】

チャネルとなる半導体層に歪みを加えた従来のMOSトランジスタの  
活性領域端部に沿って形成されるリーク電流パスを示す上面図



【図 2 5】

チャネルとなる半導体層に歪みを加えた従来の  
MOSトランジスタにおいて活性領域端部にポリSiの  
サイドウォールを形成した場合の構造を示す断面図



246…サイドウォール

【書類名】 要約書

【要約】

【課題】 半導体層に圧縮或いは引っ張り歪みが加えられたトランジスタ構造において、活性領域端部におけるリーク電流パスの形成を抑制し、低消費電力で高速動作しうる半導体装置及びその製造方法を提供する。

【解決手段】 p型Si基板10と、p型Si基板10上に形成され、活性領域18を画定する素子分離溝16が表面に形成されたSiGeバッファ層12と、SiGeバッファ層12上に形成されたSiGe再成長バッファ層20と、素子分離溝16の側壁及び活性領域18のSiGe再成長バッファ層20上に形成された歪みSiチャネル層22と、素子分離溝16の側壁の歪みSiチャネル層22上に形成されたSiN膜24と、素子分離溝16に埋め込まれた素子分離絶縁膜26とを有する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社